

192K 双通道 24 位 DA 转换器 DP7344

■ 产品概述

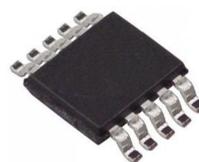
DP7344 是一款完整的 2 通道输出数模转换芯片，内含插值滤波器、Multi-Bit 数模转换器、输出模拟滤波器，并支持大部分的音频数据格式。

DP7344 基于一个带线性模拟低通滤波器的四阶 Multi-Bit $\Delta\Sigma$ 调制器，自动检测信号频率和主时钟频率，在 2KHz 和 200KHz 之间自动调节采样率。DP7344 含有数字去加重模块，可以工作在 3.3V 和 5V 下。封装形式是 MSOP10。

■ 主要特性

- Muti-Bit $\Delta\Sigma$ 调制器，24 位 D/A 转换
- 3.3V 或 5V 工作电压
- 自动检测最大到 192KHz 的采样频率
- 105dB 动态范围
- -90dB 总谐波失真+信噪比
- 低时钟抖动敏感度，线性滤波输出
- 片上数字去加重，支持所有标准音频接口

■ 封装外形

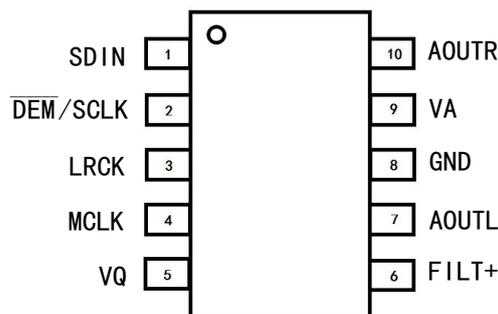


MSOP-10

■ 典型应用

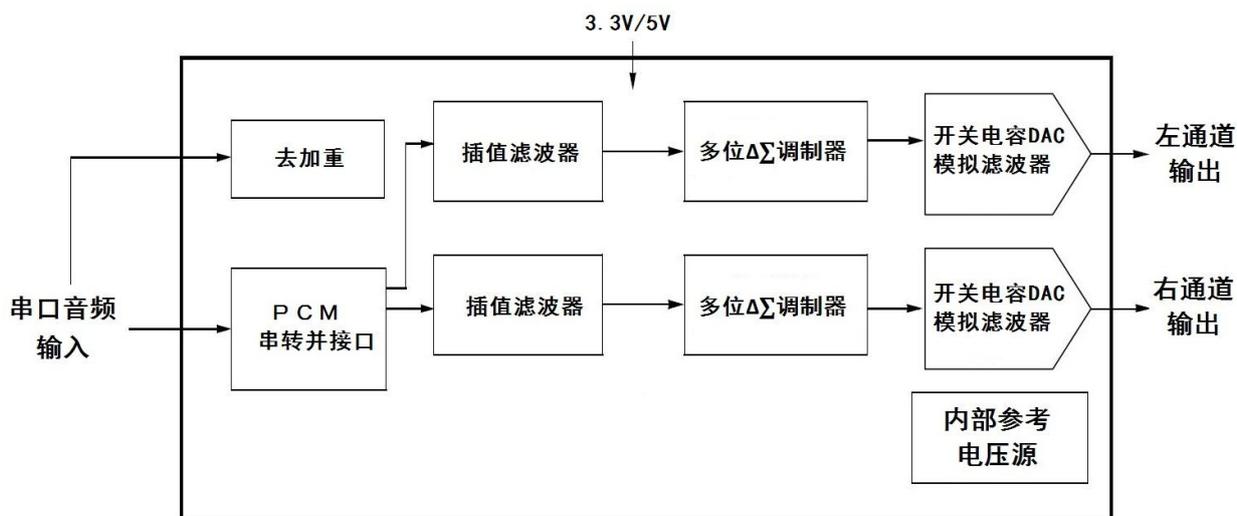
- 汽车音响、DVD 播放解码器
- 数字电视、家庭影院
- 机顶盒、录音设备

■ 管脚配置



■ 管脚描述

序号	符号	功能描述
1	SDIN	串行音频数据输入。以二进制补码最高位先入的顺序在该管脚串行输入。串行时钟为外部或外部 SCLK，通道控制为 LRCLK。
2	DEM/CLK	去加重/外部串行时钟输入，用于去加重滤波器的控制或外部串行时钟的输入。
3	LRCK	左/右时钟，决定哪个通道的数据输入音频串行数据输入管脚 SDIN 中。决定 SDIN 管脚当前输入的数据为左通道还是右通道。
4	MCLK	主时钟，Delta-Sigma 调整器和数字滤波器的时钟源。
5	VQ	连接滤波器的内部静态电压。
6	FILT+	内部采样的正参考电压。
7	AOUTL	模拟左输出通道，满量程模拟输出电平见模拟特征参数表。
8	GND	地线，电平为 0。
9	VA	模拟和数字部分的正电源。
10	AOUTR	模拟右输出通道，满量程模拟输出电平见模拟特征参数表。

功能框图

推荐工作条件 (AGND=0V, 所有最小/最大值在此条件下可以保证。)

参数	符号	最小	典型	最大	单位
工作电压	VA	4.75	5.00	5.25	V
		3.00	3.30	3.47	V
工作温度	T _A	-40	-	+85	°C

极限工作条件

参数	符号	最小	最大	单位
工作电压	VA	-0.3	6.0	V
输入电流(除电源)	I _{IN}	-10	+10	mA
数字输入电压	V _{IND}	-0.3	VA+0.4	V
工作环境温度	T _A	-55	125	°C
存储温度	T _{stg}	-65	150	°C

DAC 模拟参数 (满量程输出正弦波, 997Hz(*注释1); Fs=48/96/192kHz; 测试负载 R_L=3KΩ, C_L=10pF (见图1), 除非特殊声明, 测量带宽为10Hz到20kHz)

参数	符号	5V 常规			3.3V 常规			单位	
		最小	典型	最大	最小	典型	最大		
动态性能(-10°C到70°C)									
18到24位 A-加权 未加权 16位 A-加权 未加权	动态范围	99	105	-	97	103	-	dB	
		96	102	-	94	100	-	dB	
		90	96	-	90	96	-	dB	
		87	93	-	87	93	-	dB	
18到24位	0dB	总谐波	-	-95	-89	-	-95	-89	dB

16 位	-20dB	失真+噪声 THD+N	-	-82	-76	-	-80	-74	dB
	-60dB		-	-42	-36	-	-40	-34	dB
	0dB		-	-93	-87	-	-93	-87	dB
	-20dB		-	-73	-67	-	-73	-67	dB
	-60dB		-	-33	-27	-	-33	-27	dB
动态性能 (-40°C到 85°C)									
18 到 24 位	A-加权	动态范围	95	105	-	93	103	-	dB
	未加权		92	102	-	90	100	-	dB
	16 位 A-加权		86	96	-	86	96	-	dB
	未加权		83	93	-	83	93	-	dB
18 到 24 位	0dB	总谐波失真+噪声 THD+N	-	-95	-85	-	-95	-85	dB
	-20dB		-	-82	-72	-	-80	-70	dB
	-60dB		-	-42	-32	-	-40	-30	dB
	16 位 0dB		-	-93	-83	-	-93	-83	dB
	-20dB		-	-73	-63	-	-73	-63	dB
	-60dB		-	-33	-23	-	-33	-23	dB

*注释 1：在数据上添加 0.5LSB 的三角形 PDF 扰动。

■ DAC 模拟参数（所有模式）

参数	符号	最小	典型	最大	单位
通道间隔离(1KHz)		-	100	-	dB
DC 精度					
通道间增益失配	V_{IND}	-	0.1	0.25	dB
增益漂移	T_A	-	100	-	ppm/°C
模拟输出					
满量程输出电压		0.60*VA	0.65*VA	0.70*VA	V_{PP}
静态电压	V_Q	-	0.50*VA	-	VDC
AOUT 最大抽取电流	T_{OUTmax}	-	10	-	uA
VQ 最大抽取电流	T_{Qmax}	-	100	-	uA
最大交流负载电阻	R_L	-	3	-	kΩ
最大交流负载电容	C_L	-	100	-	pF
输出阻抗	Z_{OUT}	-	100	-	Ω

■ DAC 插值滤波器与片上模拟滤波器组合响应(滤波器参数已归一化到采样率 (F_s), 相应的采样频率需要系数与 F_s 相乘(见注释 6)。

参数	符号	最小	典型	最大	单位
单速率模式下数字与片上模拟滤波器组合响应					
通带 (注 2) -0.05dB 点 -3dB 点		0	-	0.4780	F _s
		0	-	0.4996	F _s
频率响应 10Hz-20Hz		-0.01	-	+0.08	dB
阻带		0.5465	-	-	F _s
阻带衰减 (注释 3)		50	-	-	dB
群延迟	tgd	-	10/F _s	-	s
F _s =32kHz	去加重 误差 (注 5)	-	-	+1.5/+0	dB
F _s =44.1kHz		-	-	+0.05/-0.25	dB
F _s =48kHz		-	-	-0.2/-0.4	dB
双速率模式下数字与片上模拟滤波器组合响应					
通带 (注 2) to-0.1dB 点 to -3dB 点		0	-	0.4650	F _s
		0	-	0.4982	F _s
频率响应 10Hz-20Hz		-0.05	-	+0.2	dB
阻带		0.5770	-	-	F _s
阻带衰减 (注释 3)		55	-	-	dB
群延迟	tgd	-	5/F _s	-	s
双速率模式下数字与片上模拟滤波器组合响应					
通带 (注 2) -0.05dB 点 -3dB 点		0	-	0.397	F _s
		0	-	0.476	F _s
频率响应 10Hz-20Hz		0	-	+0.00004	dB
阻带		0.7	-	-	F _s
阻带衰减 (注释 3)		51	-	-	dB
群延迟	tgd	-	2.5/F _s	-	s

注释：(2) 响应是同时钟相关的，并且随 F_s 变化。

(3) 对于单速率模式，测试带宽为 0.5465F_s 到 3F_s。

对于双速率模式，测试带宽为 0.577F_s 到 1.4F_s。

对于四速率模式，测试带宽为 0.7F_s 到 1F_s。

(4) 参考图二。

(5) 单速率模式不提供去加重功能。

(6) 幅频特性参考图 13-图 24。

数字输入特性

参数	符号	最小	典型	最大	单位
高电平输入电压 (% of VA)	V_{IH}	55%	-	-	V
低电平输入电压 (% of VA)	V_{IL}	-	-	30%	V
输入漏电流 (注释 7)	I_{IN}	-	-	±10	uA
输入电容		-	8	-	pF

注释：(7) 对于 LRCK, I_{in} 最大值为 ±20uA。

电源和热性能

参数	符号	5V 常规			3.3V 常规			单位
		最小	典型	最大	最小	典型	最大	
电源								
电源电流 正常工作	I_A	-	22	30	-	16	21	mA
(注释 8) 关机状态	I_A	-	220	-	-	100	-	uA
功率消耗 正常工作		-	110	150	-	53	69	mW
关机状态 (注释 9)		-	1.1	-	-	0.33	-	mW
封装热阻	θ_{JA}	-	95	-	-	95	-	°C/W
电源抑制比 1kHz	PSRR	-	60	-	-	60	-	dB
(注释 10) 60Hz		-	40	-	-	40	-	

注释：(8) 电流消耗随 F_s 和 MCLK 增加而增大。典型值和最大值分别基于最高的 F_s 和最高的 MCLK。各速率模式之间的差异很小。

(9) Power Down 模式即所有时钟和数据均停止的情况。

(10) 推荐与 VQ 和 FILT+ 连接的典型电容值见应用电路图 (图 6)。

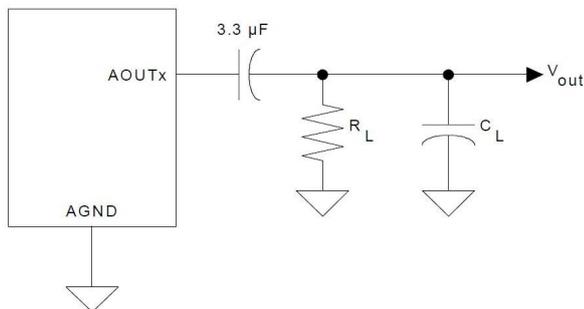


图1 输出测试电路

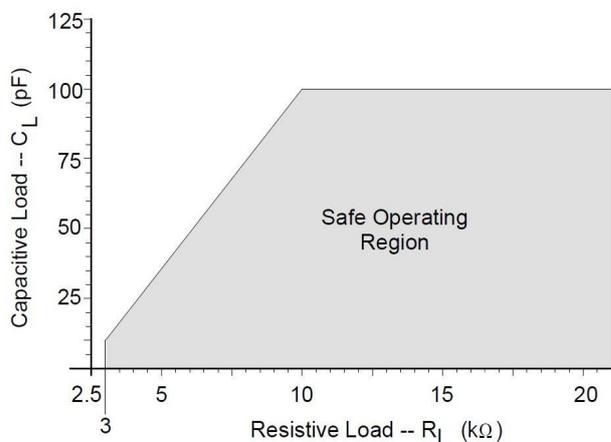


图2 最大电容负载

■ 开关特性、串行音频接口参数

参数	符号	最小	典型	最大	单位
MCLK 频率		0.512	—	50	MHz
MCLK 占空比		45	—	55	%
输入采样 MCLK/LRCK (注释 11)	Fs	2	—	200	kHz
256x, 384x, 1024x		2	—	50	kHz
256x, 384x		84	—	134	kHz
512x, 768x		42	—	67	kHz
1152x		30	—	34	kHz
128x, 192x		50	—	100	kHz
64x, 96x		100	—	200	kHz
128x, 192x		168	—	200	kHz
外部 SCLK 模式					
LRCK 占空比 (仅使用外部 SCLK 情况)		45	50	55	%
SCLK 脉冲宽度 低	t _{sclkl}	20	—	—	ns
SCLK 脉冲宽度 高	t _{sclkh}	20	—	—	ns
SCLK 占空比		45	50	55	%
SCLK 上升到 LRCK 沿的延迟时间	t _{slrd}	20	—	—	ns
SCLK 上升到 LRCK 沿的建立时间	t _{slrs}	20	—	—	ns
SDATA 有效到 SCLK 上升的建立时间	t _{sdirs}	20	—	—	ns
SCLK 上升到 SDIN 的保持时间	t _{sdh}	20	—	—	ns
内部 SCLK 模式					
LRCK 占空比 (仅使用内部 SCLK 情况)	注释 12	—	50	—	%
SCLK 周期 (注释 13)	t _{sclkw}	10 ⁹ /SCLK	—	—	ns
SCLK 上升到 LRCK 沿的时间	t _{sclkr}	—	T _{sclkw} /2	—	us
SDIN 有效到 SCLK 上升的建立时间	t _{sdirs}	10 ⁹ /(512Fs)+10	—	—	ns
SCLK 上升到 SDIN 的保持时间 MCLK/LRCK=1152、1024、512、256、 128 或 64	t _{sdh}	10 ⁹ /(512Fs)+15	—	—	ns
SCLK 上升到 SDIN 的保持时间 MCLK/LRCK=768、384、192 或 96	t _{sdh}	10 ⁹ /(384Fs)+15	—	—	ns

注释：(11) 并非所有的（采样频率）时钟比支持所有的时钟频率。请参见第 9 页表一中“常规时钟频率”对应支持的（频率）时钟比和频率。(12) 在内部 SCLK 模式，占空比必须是 50% +/- 1/2 MCLK 周期。(13) SCLK/LRCK 比值必须为 32、48、64 或 72。这个比值取决于部分类型和 MCLK/LRCK 比值。（见图 7—图 9）

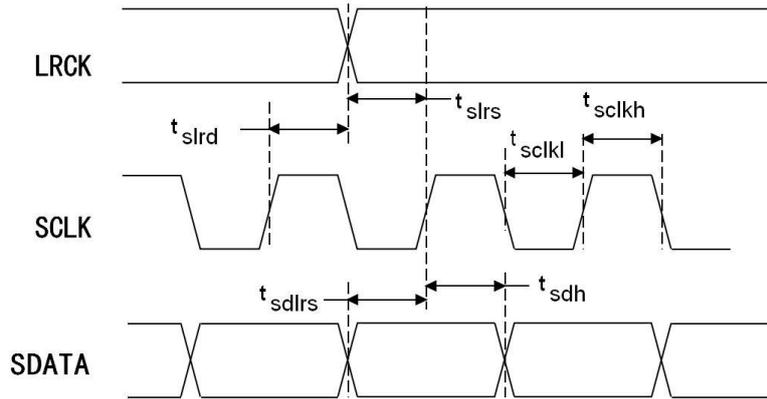
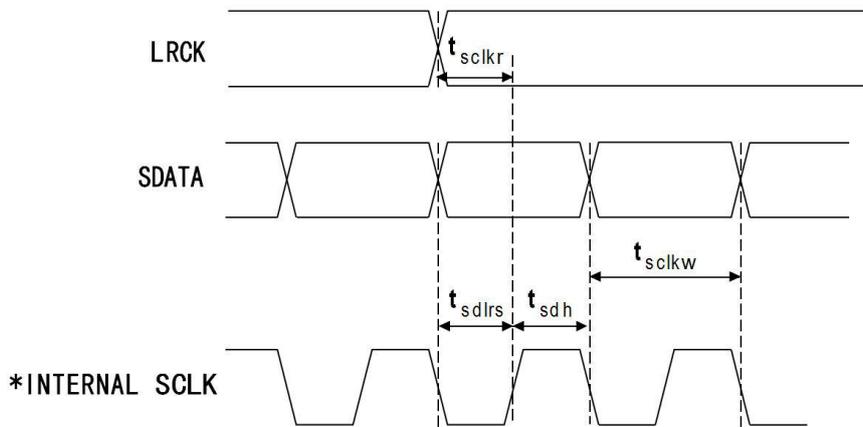
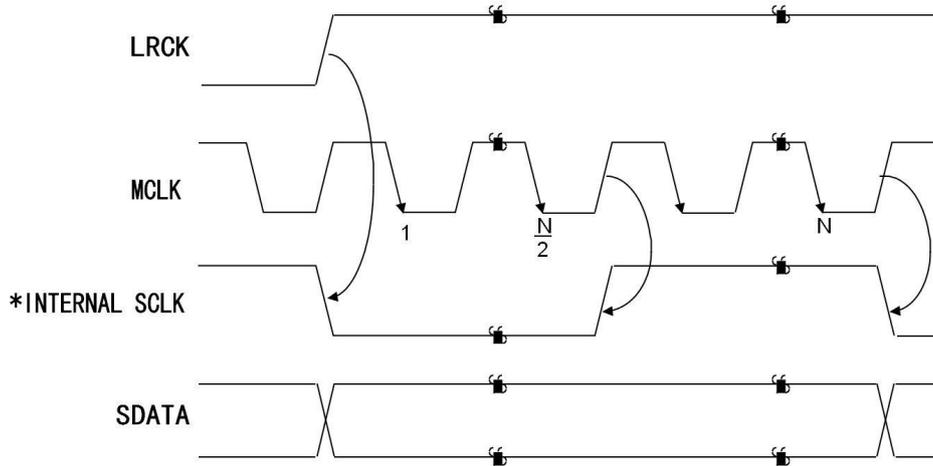


图 3 外部串口模式输入时序



*SCLK 时钟在芯片内部

图 4 内部串口模式输入时序



*SCLK 时钟在芯片内部 $N = MCLK/SCLK$

图 5 内部串口时钟生成

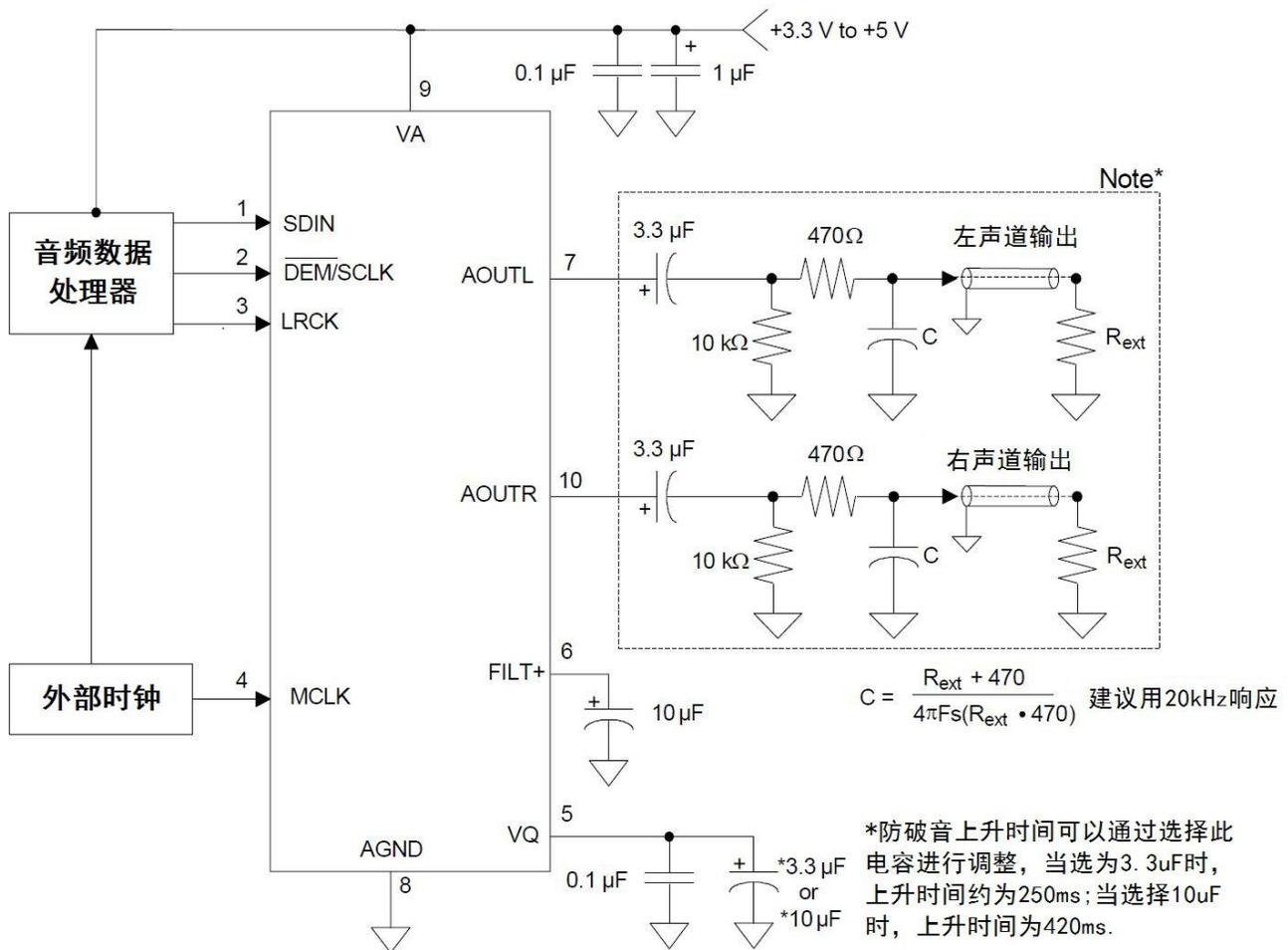


图 6 推荐应用电路图

应用

DP7344 支持接受标准音频采样率的数据格式有：SSM 模式下的 48、44.1 和 32kHz，DSM 模式下的 96、88.2 和 64kHz，QSM 模式下的 192、176.4 和 128kHz。音频数据经串行数据输入引脚 SDIN 输入。左/右时钟（LRCK）确定了数据通道，并且串行时钟（SCLK）将音频数据推入输入数据缓冲器。DP7344 具有多种串行数据通信格式，如图 7-图 10 所示。

主时钟

MCLK/LRCK 必须是如表 1 中所示的整数比。LRCK 频率等于 F_s ，每个通道的字信息就是以这个频率输入器件的。通过检测 MCLK 的频率大小和一个 LRCK 周期中 MCLK 转换的次数，可以在初始化时自动检测到 MCLK 与 LRCK 的频率比和速率模式。内部分频器会自动设置到适当的状态从而产生适当的时钟。表 1 列出了一些标准音频采样率及所需的 MCLK 和 LRCK 频率。请注意，MCLK、LRCK 与 SCLK 之间并不需要有特定的相位关系，但它们必须是同步的。

LRCK (kHz)	MCLK (MHz)									
	64x	96x	128x	192x	256x	384x	512x	768x	1024x	1152x
32	-	-	-	-	8.1920	12.2880	-	-	32.7680	36.8640

44.1	-	-	-	-	11.2896	16.9344	22.5792	33.8680	45.1580	-
48	-	-	-	-	12.2880	18.4320	24.5760	36.8640	49.1520	-
64	-	-	8.1920	12.2880	-	-	32.7680	49.1520	-	-
88.2	-	-	11.2896	16.9344	22.5792	33.8680	-	-	-	-
96	-	-	12.2880	18.4320	24.5760	36.8640	-	-	-	-
128	8.1920	12.2880	-	-	32.7680	49.1520	-	-	-	-
176.4	11.2896	16.9344	22.5792	33.8680	-	-	-	-	-	-
192	12.2880	18.4320	24.5760	36.8640	-	-	-	-	-	-
Mode	QSM				DSM		SSM			

表 1 共用时钟频率

● 串行时钟

串行时钟用来控制输入数据缓冲器中数据的移位。DP7344 支持外部和内部串行时钟产生模式。参考图 7-图 10 中的数据格式。

● 外部串行时钟模式

在 LRCK 时钟周期的任何相位，如果在 DEM/SCLK 管脚上检测到 16 个低到高的转换，DP7344 将会进入外部串行时钟模式。当器件采取这种工作模式时，内部串行时钟模式和去加重滤波器将是不可访问的。如果在 LRCK 的两个连续帧中都没有在 DEM/SCLK 管脚上检测到低到高的转换，那么 DP7344 将会转换到内部串行时钟模式。参考图 12。

● 内部串行时钟模式

在内部串行时钟模式下，串行时钟是内部产生的并且同 MCLK 和 LRCK 同步。根据数据格式，SCLK/LRCK 频率比可能为 32、48、64 或 72。器件在这种模式下的工作与在外部串行时钟模式下的一样。内部串行时钟模式允许访问数字去加重功能。详细参考图 7-图 12。

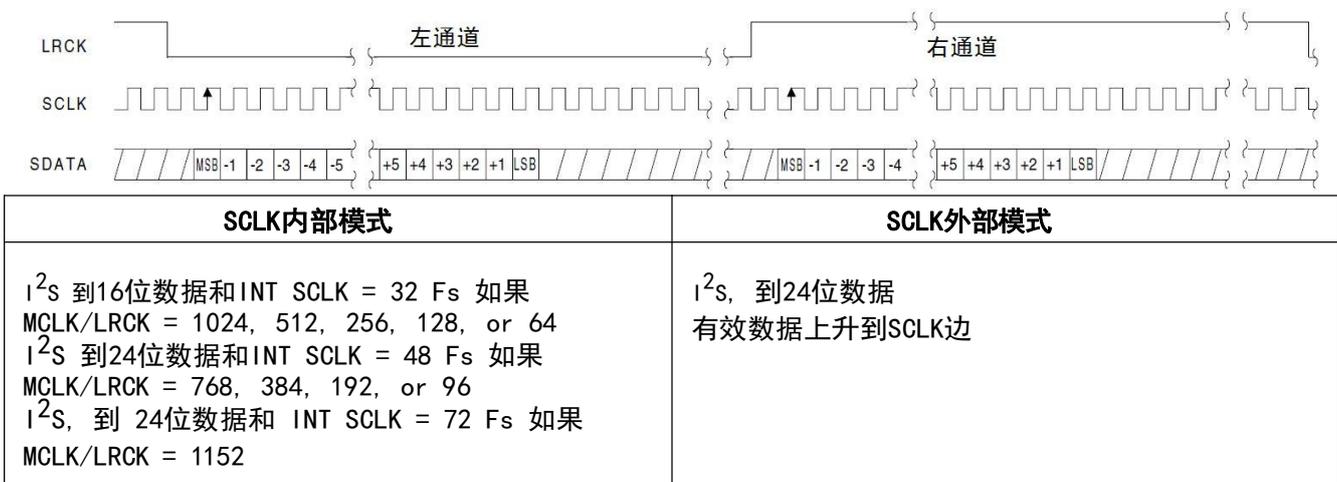
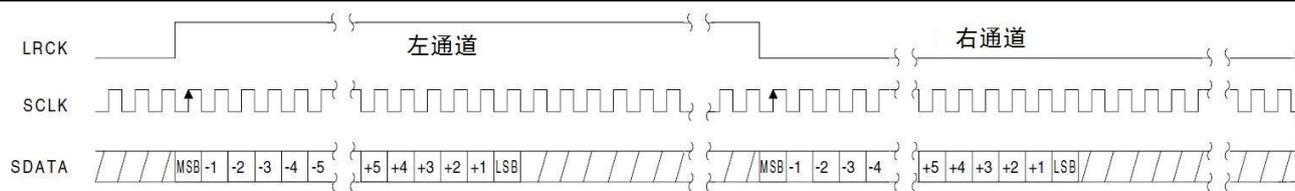
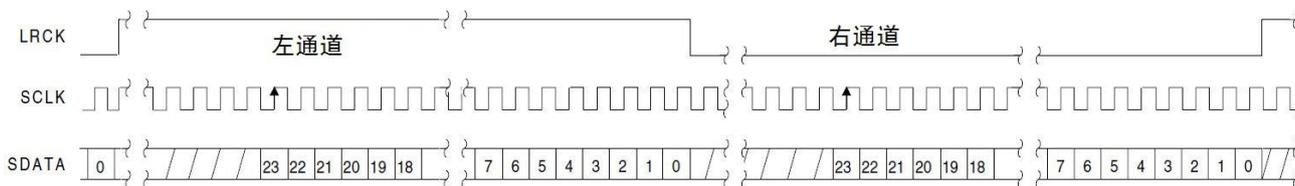


图 7 1^2s 数据格式



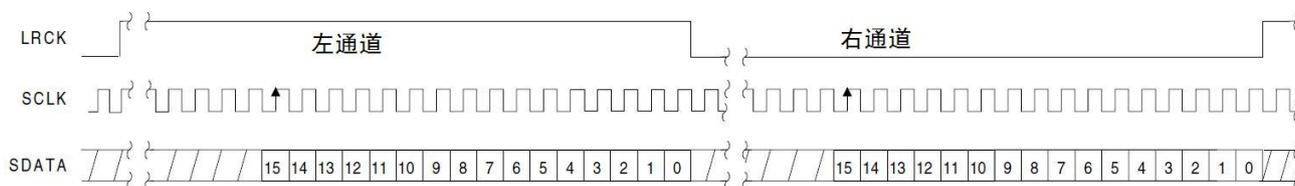
SCLK内部模式	SCLK外部模式
左对齐, 到24位数据 INT SCLK = 64 F_s 如果 MCLK/LRCK = 1024, 512, 256, 128, or 64 INT SCLK = 48 F_s 如果 MCLK/LRCK = 768, 384, 192, or 96 INT SCLK = 72 F_s 如果 MCLK/LRCK = 1152	左对齐, 到24位数据 有效数据上升到SCLK边

图 8 左对齐 24 位数据格式



SCLK内部模式	SCLK外部模式
右对齐, 到24位数据 INT SCLK = 64 F_s 如果 MCLK/LRCK = 1024, 512, 256, 128, or 64 INT SCLK = 48 F_s 如果 MCLK/LRCK = 768, 384, 192, or 96 INT SCLK = 72 F_s 如果 MCLK/LRCK = 1152	右对齐, 到24位数据 有效数据上升到SCLK边 SCLK 必须有至少48周期, 每LRCK时期

图 9 右对齐 24 位数据格式



SCLK内部模式	SCLK外部模式
右对齐, 到16位数据 INT SCLK = 32 F_s 如果 MCLK/LRCK = 1024, 512, 256, 128, or 64 INT SCLK = 48 F_s 如果 MCLK/LRCK = 768, 384, 192, or 96 INT SCLK = 72 F_s 如果 MCLK/LRCK = 1152	右对齐, 到16位数据 有效数据上升到SCLK边 SCLK必须有至少32周期, 每LRCK时期

图 10 右对齐 16 位数据格式

- 去加重

DP7344 片上集成了去加重功能。图 11 中给出了 F_s 等于 44.1kHz 时的去加重曲线。去加重曲线的频率响应将随采样率 F_s 的改变而成比例变化。如果在 LRCK 的 5 个连续下降沿 DEM/SCLK 均保持低（高），那么去加重滤波器将会打开（关闭）。只有在内部串行时钟模式下才会具有这种功能。

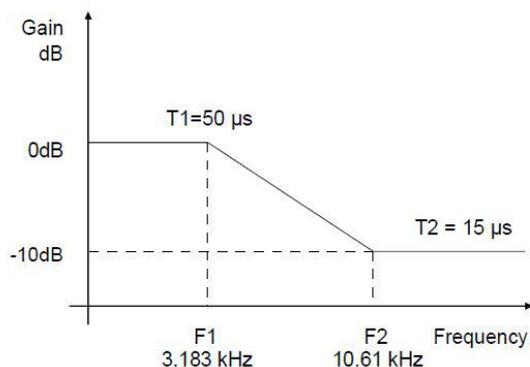


图 11 去加重曲线 ($F_s=44.1\text{KHz}$)

- 初始化和关机

DP7344 在上电 (power-up) 时首先进入去电状态。此时，插值滤波器和 Delta-Sigma 调制器被重置，内部电压参考源、多比特数模转换器和开关电容低通滤波器进入掉电状态。在 MCLK 和 LRCK 出现前，器件将一直保持掉电状态。一旦检测到 MCLK 和 LRCK 信号，就会对一个 LRCK 周期中 MCLK 出现的次数进行计数以确定 MCLK/LRCK 的频率比。接下来，电源被加到内部电压参考源上。最后，电源加到 D/A 转换器和开关电容滤波器上，同时模拟输出变到静态电压 V_Q 。

- 输出瞬态控制

DP7344 采用防爆音技术来使电源上电与去电期间出现的输出瞬变作用最小化。当防爆音技术通过与音频输出串联的隔直电容来实现的时候，由单边单电源转换器产生的音频瞬变现象就可以消除。为了更好的利用这个特点，对它工作原理的理解是必需的，DP7344 该功能表现很好，也是本产品的优势。

上电 (Power-Up)：当器件刚刚上电时，音频输出 AOUTL 和 AOUTR 电位被嵌位在初始低的 V_Q 。在加时钟 MCLK 后，输出和 V_Q 缓慢上升到静态工作电压。当 V_Q 接 3.3 μF 负载电容时，上升过程需要约 250ms (10 μF , 420ms) 完成。电压缓慢的上升，允许外部隔直电容有时间向 V_Q 充电，有效的抑制了静态直流电压。当 LRCK 和 SDIN (以及 SCLK 如果采用外部模式或 SCLK 输入) 有效输入约 2000 个采样周期后，音频开始输出。

掉电 (Power-Down)：为防止掉电时音频瞬变，在掉电之前，隔直电容必须完全放电。为此，掉电之前，若 V_Q 接 3.3 μF ，MCLK 需先停止约 250ms (10 μF , 420ms)。在这段时间内， V_Q 和音频输出放电到 GND。若在该段时间内掉电，瞬变现象就会在 V_A 下降到小于 V_Q 时出现。没有最小的上电周期，可以随时重新上电。当改变时钟或者采样率，在改变之前，推荐输入 SDIN 零值保持至少 10 个 LRCK 采样时间。在时钟改变过程中，DAC 的输出一直保持零数据状态。如果在切换时没有零值输入，DAC 输出自动变化到零输入状态时将会听到小的咔嚓或者爆破音。

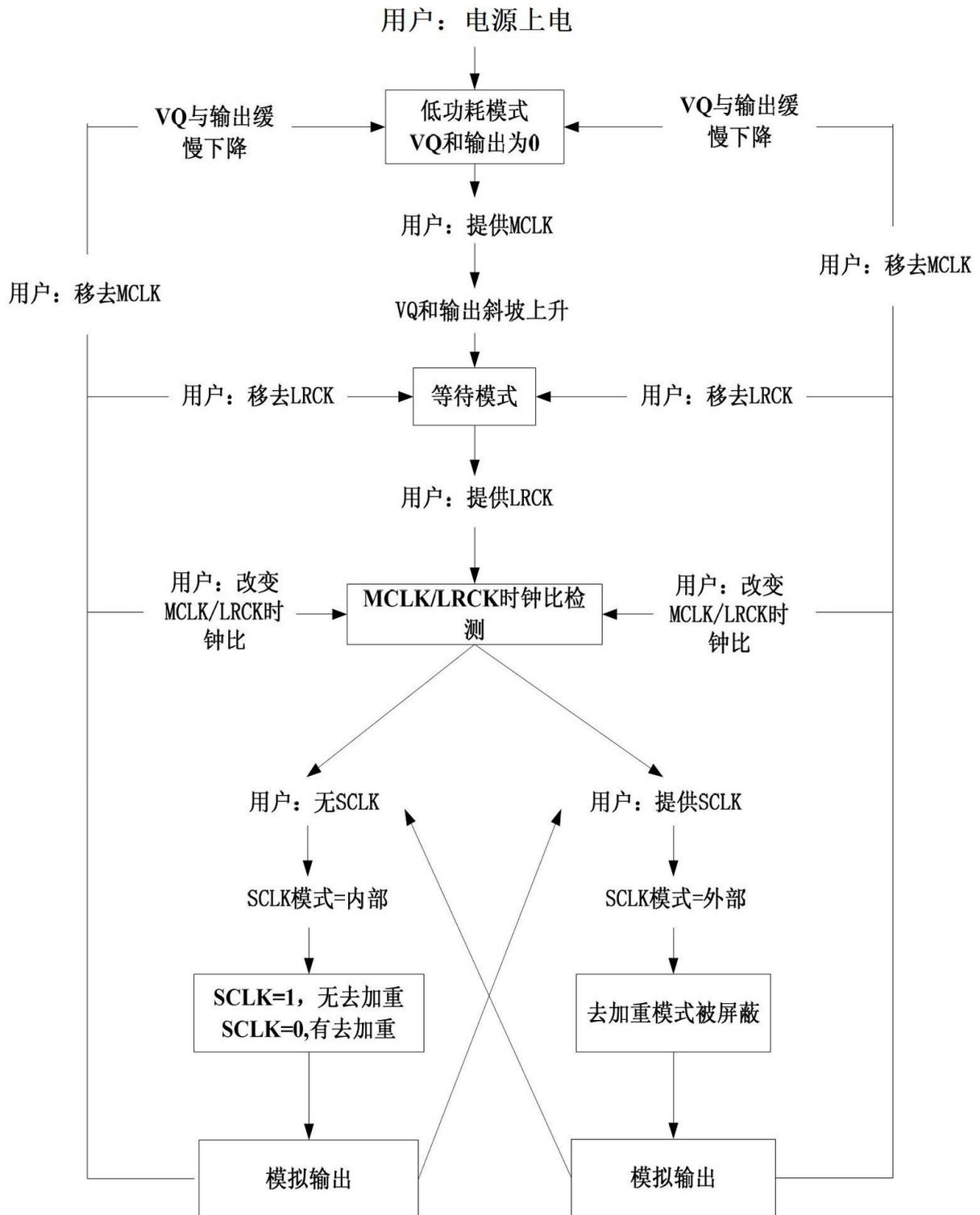


图 12 初始化和低功耗的顺序框图

● 接地和电源去耦

像任何高精度转换器一样，DP7344 要求对电源和接地格外小心，以使性能最优化。图 6 给出了电源的推荐接法，其中 VA 接到了纯净的+3.3V 或+5V 电源上。为了获得最好的性能，必须使去耦电容尽可能的靠近芯片，并且让最小的电容最靠近芯片。

■ 附图

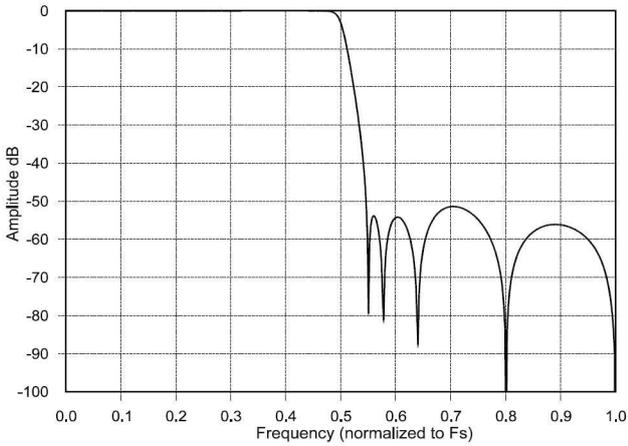


图13 单速率阻带抑制

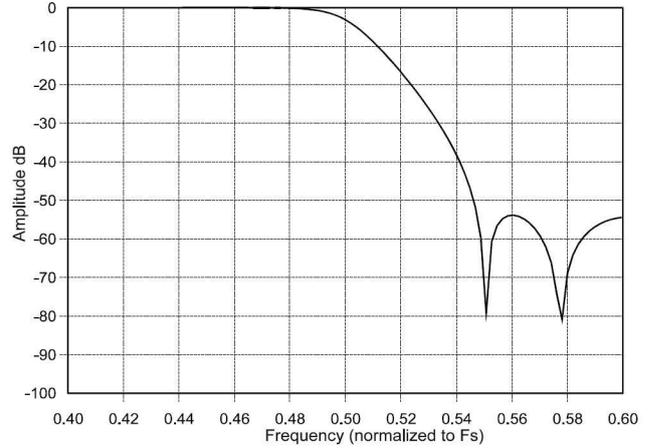


图14 单速过渡带

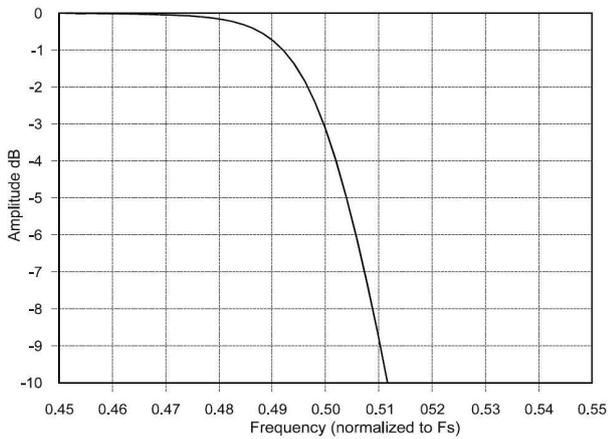


图15 单速率过渡带

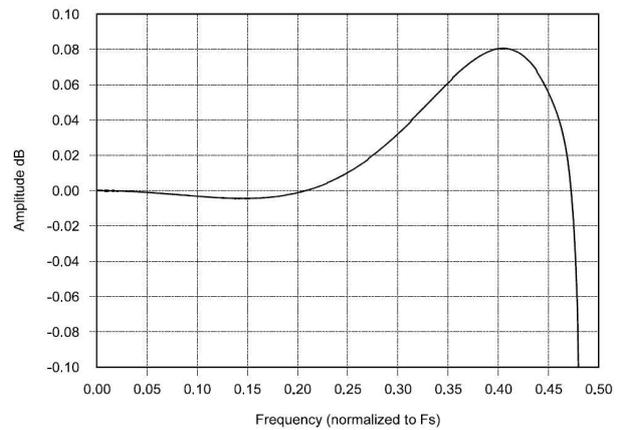


图16 单速率通带纹波

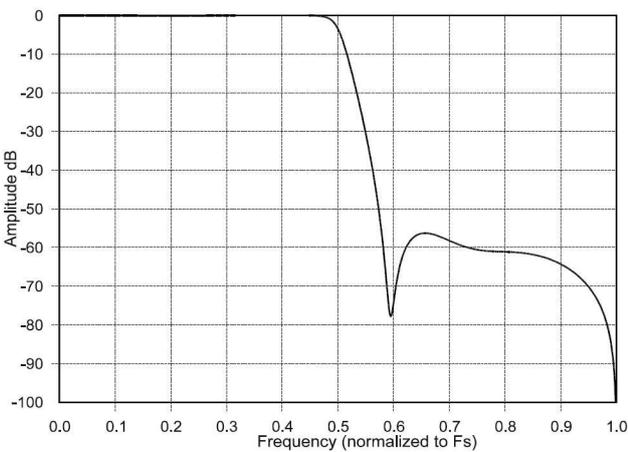


图17 双速率阻带抑制

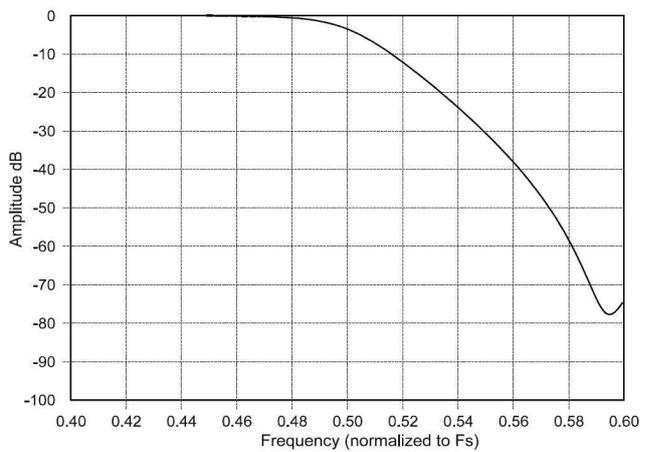


图18 双速率过渡带

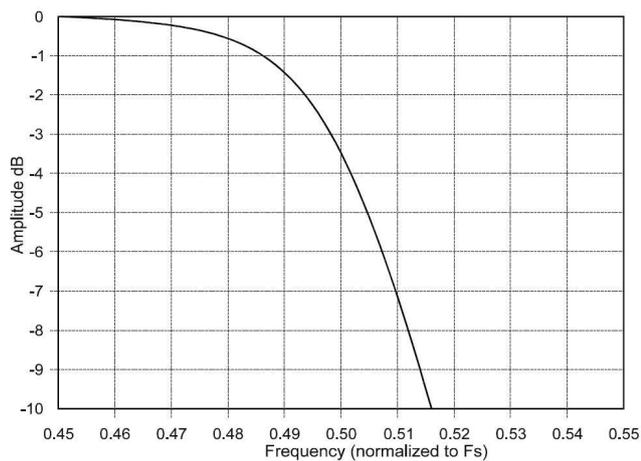


图19 双速率过渡带

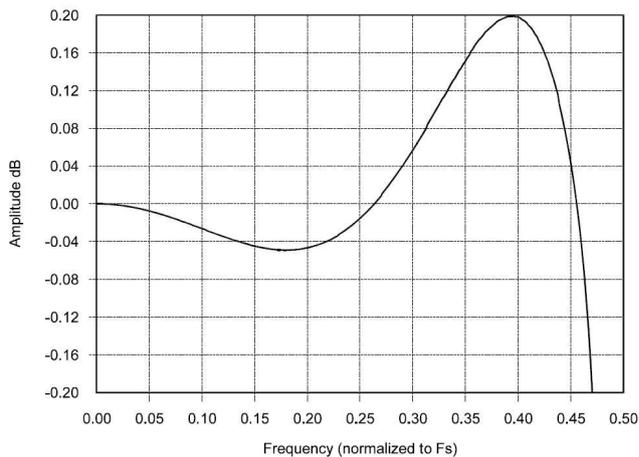


图20 双速率通带纹波

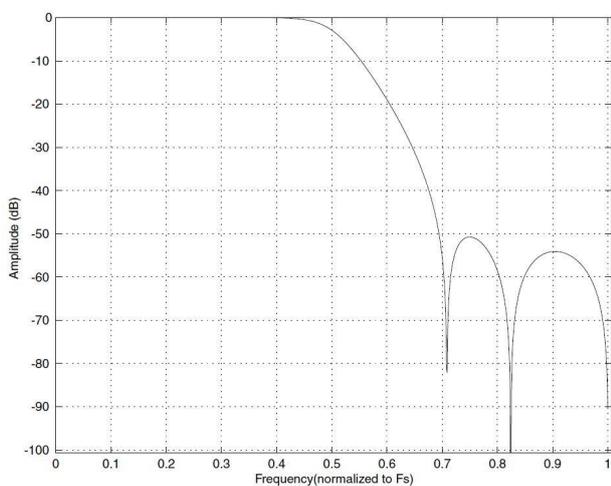


图21 四速率阻带抑制

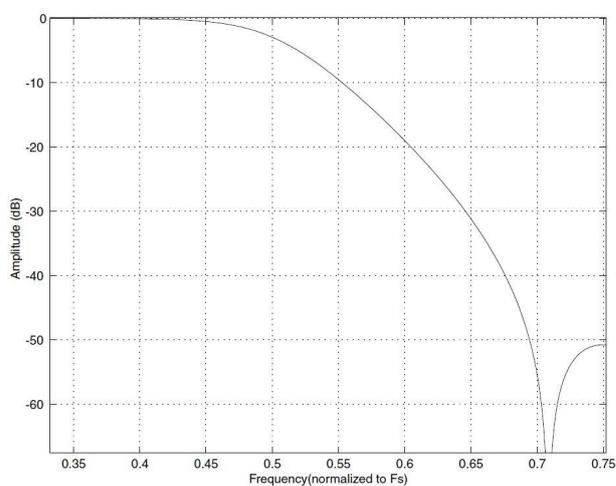


图22 四速率过渡带

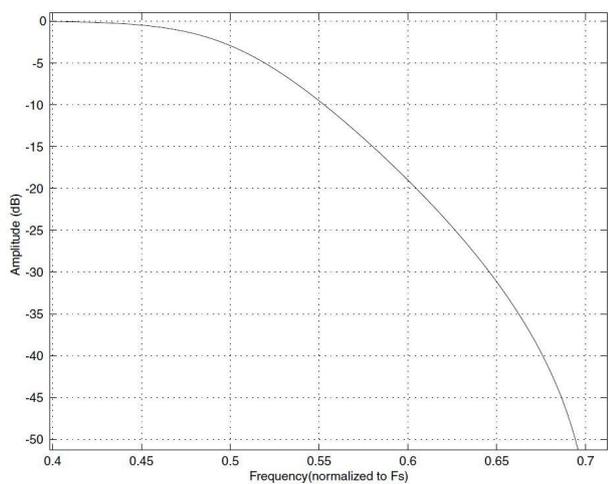


图23 四速率过渡带

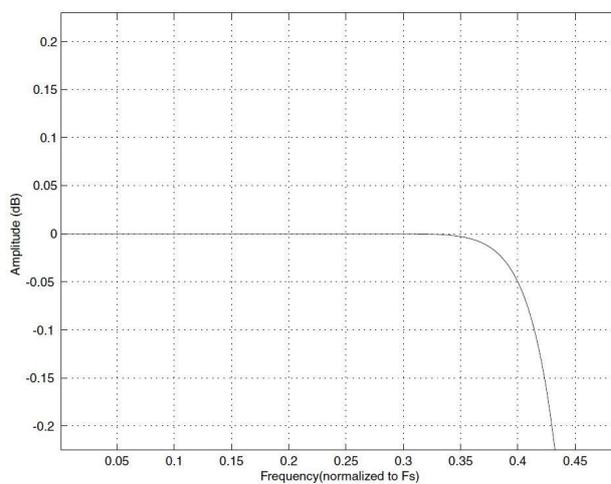
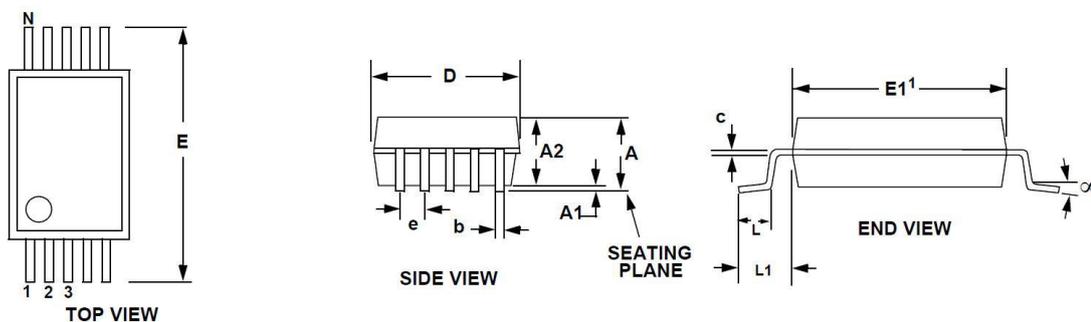


图24 四速率通带纹波

■ 封装尺寸图
MSOP10:


DIM	INCHES			MILLIMETERS			NOTE
	MIN	NOM	MAX	MIN	NOM	MAX	
A	--	--	0.0433	--	--	1.10	
A1	0	--	0.0059	0	--	0.15	
A2	0.0295	--	0.0374	0.75	--	0.95	
b	0.0059	--	0.0118	0.15	--	0.30	4.5
c	0.0031	--	0.0091	0.08	--	0.23	
D	--	0.1181 BSC	--	--	3.00 BSC	--	2
E	--	0.1929 BSC	--	--	4.90 BSC	--	
E1	--	0.1181 BSC	--	--	3.00 BSC	--	3
e	--	0.0197 BSC	--	--	0.50 BSC	--	
L	0.0157	0.0236	0.0315	0.40	0.60	0.80	
L1	--	0.0374 REF	--	--	0.95 REF	--	
∞	0°	--	8°	0°	--	8°	

联系我们

深圳市动能世纪科技有限公司

公司地址：深圳市南山区打石一路国际创新谷6期B座1111室

电话：0755-83134419

传真：0755-82519160

公司网址：www.dnsj88.com

EMAIL: dnsj@dn-ic.com

邮编：518031