



IN612L

低功耗蓝牙 5 和软件定义无线电多模无线系统单芯片

主要特性

• 多模协同通信协议栈

- 低功耗蓝牙 5.0
 - 完全符合低功耗蓝牙 5 规格
 - 高数据速率支持最高 2Mbps
 - 远距离支持 (125Kbps/500Kbps)。
 - 扩展广播模式支持
- SDR (软件定义无线电, 用户定义)
 - 灵活的 Rx/Tx 启用控制
 - 为低功耗设计的事件触发模式
 - 真正的双向通讯
 - 与低功耗蓝牙 5 协议同时并行操作

• CPU 和内存资源

- ARM Cortex-M4F 最高 64MHz, 带 16KB i-cache
- 256KB ROM (启动程序和软件协议栈)
- 高达 96KB 的用户 SRAM
- 4Kb eFuse 内存 (厂商 ID, 安全密钥存储)
- 1MB 闪存 (堆叠, XIP 模式支持)
- 空中更新 (OTA) 支持
- SWD/JTAG 调试接口

• 射频 RF

- 2.4GHz ISM 波段射频收发器
- 接收灵敏度 -97.5 dBm @ 1Mbps
- 接收灵敏度 -104.5 dBm @ 125Kbps
- 接收灵敏度 -94.5 dBm @ 2Mbps
- 0dBm 发射输出峰值电流, 4.1mA, 发射功率高达 +3.5 dBm
- 接收峰值电流 5mA
- MedRadio 频段支持 (2360MHz~2400MHz)

• 外设

- 高达 30 个 GPIO
- 2 个 I2C 总线, 支持主/从模式, 高达 400KHz 时钟
- 1 个主设备 SPI 总线, 支持最多 4 个 SPI 从设备, 最高支持 16MHz 时钟
- 1 个从设备 SPI 总线, 支持最高 4MHz 时钟
- 2 个 UART, 其中一个支持硬件流控, 最高支持 2MHz 波特率
- 5 个专属 PWM 输出, 通过 I/O 配置可以做到最多 13 个 PWM 输出
- 1 个主 I2S 和 1 个从 I2S 控制器, 支持双向立体声
- 一个 PDM 数字麦克风接口, 支持双路单声道或 1 路立体声输入, 支持时钟范围从 160KHz - 5.12MHz
- 支持 ISO7816 协议接口
- 键盘控制扫描器 - 最高矩阵为 14x14

- QDEC
- 11 位 ADC, 最高采样速率 1MSPS, 多达 10 个用户通道
- 8 个计数器/定时器

• 时钟源

- 32MHz 晶振, 32.768KHz 时钟振荡器

• DMA 控制器

- 2 路并行 DMA 引擎, 每个引擎支持 2 个通道

• 语音/音频处理引擎

- 内置立体声/单声道 ADPCM 编解码, 4:1 压缩率
- 支持 ADPCM 编码输出, 同时支持原生 PCM 数据输出, 最高采样率 64KHz
- PDM 或 I2S 作为语音/音频输入源
- 支持 Sigma-delta 音频 DAC 输出

• 安全引擎

- 硬件 ECC, AES256, SHA-1, SHA-2 引擎
- 安全启动, 软件著作权保护机制
- 真随机数发生器 (满足 FIPS140-2)

• 睡眠模式

- 深度睡眠模式, 32KHz RC 时钟振荡器开启, 电流为 500nA
- 关闭模式 <20nA

• 电源管理

- 内置 DCDC 转换器
- 1.8 - 3.6V 输入

• 封装

- QFN48 6x6mm

• 工作温度范围

- -40 ~ +85 °C

典型应用

• 无线 IoT 物联网应用

- 蓝牙网关
- 智能家居, 智能灯
- 工业物联网 IoT
- 穿戴, 玩具
- 资产管理
- 智能零售

• 智能健康, 医疗



关于文档

文档类型	产品规格书	
产品型号	IN612L, IN610L, IN610	
文档控制号	IN6IDOC-DS-IN612L-CN-V1_07	内部使用
版本	V1.06	

产品状态	文档内容	数据状态
开发中	目标规格/市场需求文档	目标规格。订正和补充数据将于稍后公布
工程样品	在工程样品上测量的规格数据	根据早期 E/S 抽样测试的数据
客户样品	在早起量产样品产品上测量的规格数据	数据以早期生产样本为基础，修订和补充数据可能会在以后发布。
量产		文件包含最终产品规格

本文件适用于以下产品:

产品名称	产品型号	产品状态
IN612L	IN612L-Q1	客户样品
IN610L	IN610L-Q1	客户样品
IN610	IN610-Q1	客户样品



内容

封面页.....	
关于文档.....	2
内容 3	
图表清单.....	6
表格清单.....	8
1 产品概述.....	9
2 管脚定义.....	10
2.1 QFN48	11
3 功能描述.....	14
3.1 CPU 和内存子系统.....	14
3.2 电源系统和时钟.....	16
3.2.1 电源域和电源管理运行模式	16
3.2.2 供电电源.....	17
3.2.3 时钟系统	18
3.2.3.1 RC 32KHz.....	19
3.2.3.2 RTC 32.768KHz	19
3.2.3.3 RC 32MHz	20
3.2.3.4 XO 时钟	20
3.2.3.5 时钟 PLL.....	20
3.3 Bluetooth 5 及子系统.....	20
3.4 软件无线电	21
3.5 任意格式 TRX.....	22
3.6 特殊功能模块.....	23
3.6.1 11-bit 传感器 ADC	23
3.6.2 硬件安全引擎	23
3.6.3 音频 ADPCM 和重采样引擎.....	24



3.6.4	键盘控制器	25
3.6.5	正交解码器	25
3.7	外设.....	26
3.7.1	I2C.....	26
3.7.2	SPI.....	26
3.7.3	UART	26
3.7.4	计数器/定时器/可调制脉宽输出 PWM.....	27
3.7.5	PDM	27
3.7.6	I2S	27
3.7.7	缓存和就地执行(XIP).....	27
3.7.8	DMA.....	28
3.7.9	WDT 看门狗定时器	28
3.7.10	音频编码器/解码器.....	28
3.7.11	GPIO 和模拟 I/O.....	28
3.8	编程和调试接口.....	29
3.9	用户软件版权保护与安全启动.....	29
3.9.1	用户软件版权保护	29
3.9.2	安全启动	30
4	电气特性.....	31
4.1	极限最大值	31
4.2	额定工作条件.....	32
4.3	GPIO PAD 特性.....	32
4.4	降压转换器特性	33
4.5	11 位 SAR ADC 特性.....	34
4.6	Vbat 监测特性	35
4.7	芯片温度监测特性	35



4.8	32KHz RC 振荡器特性.....	35
4.9	32MHz 晶体振荡器特性.....	36
4.10	32MHz RC 振荡器特性.....	36
4.11	32.768KHz RTC 时钟晶振特性要求.....	37
4.12	RF 性能.....	37
4.12.1	通用 RF 性能指标.....	37
4.12.2	RF 接收机性能指标.....	38
4.12.3	RF 发射机性能指标.....	41
4.13	系统功耗.....	41
4.14	ESD 特性(所有引脚).....	42
5	订购信息.....	43
6	封装.....	43
6.1	封装图- QFN48.....	43
6.2	IC 标记.....	45
6.3	包装盒尺寸.....	46
7	参考设计.....	46
7.1	IN612L QFN48 参考原理图.....	46
8	布板设计.....	48
8.1	PCB 设计层 Stack-Up.....	48
8.2	晶体.....	49
8.3	RF 射频布线注意事项.....	50
8.4	射频天线.....	50
8.5	PMU LDO 输出.....	50
8.6	VBAT 电源供电.....	51
8.7	Power supply.....	51
8.8	Thermal Pad VIAs.....	52



8.9	接地设计	53
9	回流焊工艺	53
9.1	存储条件	54
9.1.1	开封前的防潮袋	54
9.1.2	防潮袋的开启方式	54
9.2	钢网设计	54
9.3	烘烤条件	54
9.4	焊接和回流焊条件	54
9.4.1	回流炉	54
10	修订历史	55
11	免责声明	56

图表清单

FIGURE 1	芯片系统框图	10
FIGURE 2	IN612L/IN610L/IN610 QFN48 封装引脚定义	11
FIGURE 3	内存地址分布图	15
FIGURE 4	外设寄存器地址分布图	16
FIGURE 5	芯片内部供电电源系统	18
FIGURE 6	DCDC 转换器	18
FIGURE 7	32.768KHZ 晶振驱动电路	19
FIGURE 8	采用外部 32.768KHZ 时钟源	19
FIGURE 9	XO 时钟源电路	20
FIGURE 10	2.4GHZ RF 收发器	21
FIGURE 11	SDR 事件和角色	22
FIGURE 12	任意 TRX 的数据包格式	22
FIGURE 13	传感器 ADC	23
FIGURE 14	音频引擎	24
FIGURE 15	软件著作权保护机制	29
FIGURE 16	安全启动	31
FIGURE 17	完整订货型号选项信息	43
FIGURE 18	IN612L QFN48 6MMX6MM 封装图	44
FIGURE 19	IN612L 封装标识信息	45
FIGURE 20	IN612L/IN610L/IN610 QFN48 参考原理图	47
FIGURE 21	32MHZ 晶振	49
FIGURE 22	32.768KHZ 晶振	49
FIGURE 23	RF 走线	50
FIGURE 24	IP2V-DCDC 输出	51
FIGURE 25	VBAT 走线	51



FIGURE 26 RF 电源线布局.....	52
FIGURE 27 1P2V 电源布局.....	52
FIGURE 28 散热过孔.....	53
FIGURE 29 地层设计举例.....	53
FIGURE 30 回流焊要求.....	55



表格清单

TABLE 1 IN612L/IN610L/IN610 QFN48 封装引脚定义.....	11
TABLE 2 GPIO 复用定义.....	ERROR! BOOKMARK NOT DEFINED.
TABLE 4 键值寄存器格式.....	25
TABLE 5 额定最高值.....	32
TABLE 6 推荐工作条件.....	32
TABLE 7 GPIO PAD 特性.....	32
TABLE 8 降压转换器特性.....	33
TABLE 9 ADC 特性.....	34
TABLE 10 电池电压监测电路特性.....	35
TABLE 11 温度监测特性.....	35
TABLE 12 32KHZ RC 振荡器特性.....	35
TABLE 13 32MHZ 晶体振荡器特性.....	36
TABLE 14 32MHZ RC 振荡器特性.....	37
TABLE 15 32.768KHZ RTC 时钟振荡器特性.....	37
TABLE 16 通用 RF 特性指标.....	37
TABLE 17 RF 接收机性能特性.....	38
TABLE 18 RF 发射机性能特性.....	41
TABLE 19 系统功耗.....	41
TABLE 20 IN612L 6X6 QFN48 封装信息.....	44
TABLE 21 IN612L 标识描述.....	45
TABLE 22 IN612L 内外包装盒信息.....	46
TABLE 23 IN612L/IN610L/IN610 参考物料清单.....	47
TABLE 24 PCB 层 STACK-UP.....	48



1 产品概述

IN612L InPlay 的 SwiftRadio™ SoC 产品系列中的一款产品，本产品集成了 2.4Ghz 频段的 RF 射频和 MCU 系统，内置支持多模式协作通讯协议栈。本产品集成了开发人员友好的软件定义无线电和低功耗蓝牙 5，符合 2Mbps 高数据速率模式、125Kbps/500Kbps 编码 PHY 速率支持以及扩展的广播功能。用户定义的 SDR 协议栈及其内置的低功耗蓝牙 5 协议栈可以同时运行，因此可以很好地解决和优化许多复杂的网络应用挑战。

本芯片集成了功能强大的 32 位 ARM Cortex-M4F CPU，具有浮点单元处理能力。它可以在各种时钟频率下工作，最高可达 64MHz。本芯片内置 256KB 的 ROM、高达 1MB 的 Flash 存储器和高达 96KB 的高密度 SRAM，可作为复杂算法和应用的指令或数据空间。

本芯片具有出色的射频性能，并考虑到超低功耗的设计理念，因此非常适合电池供电的产品（如零售信标和可穿戴设备）等功耗有限的应用。搭配强大的 ARM Cortex-M4F CPU 和丰富的内存资源，用户可以在不增加额外的 CPU 的情况下开发出尽可能多的应用。

本芯片拥有精心设计的硬件安全引擎，支持 AES128、AES256、SHA-1、SHA-2 和 ECC 加密解密算法。它还集成了 True Random Number Generator (TRNG)，方便安全应用的实现。安全引擎包括两套独立的加密引擎，不仅要服务于低功耗蓝牙 5 无线链路层的增强安全需求，还可以服务于用户应用层面的安全应用需求。

除了在无线电和通信调制解调器上的精巧设计外，还集成了 I2C、SPI、UART、PDM 和 I2S 等多种外设，方便用户应用。IN612L 的封装选项为 QFN48。

The Figure 1 显示了 SwiftRadio™ SoC IN6xx 产品系列的系统框图，图中的功能因产品编号的不同而不同。有关不同芯片可用功能的更多信息，请参考订购信息。

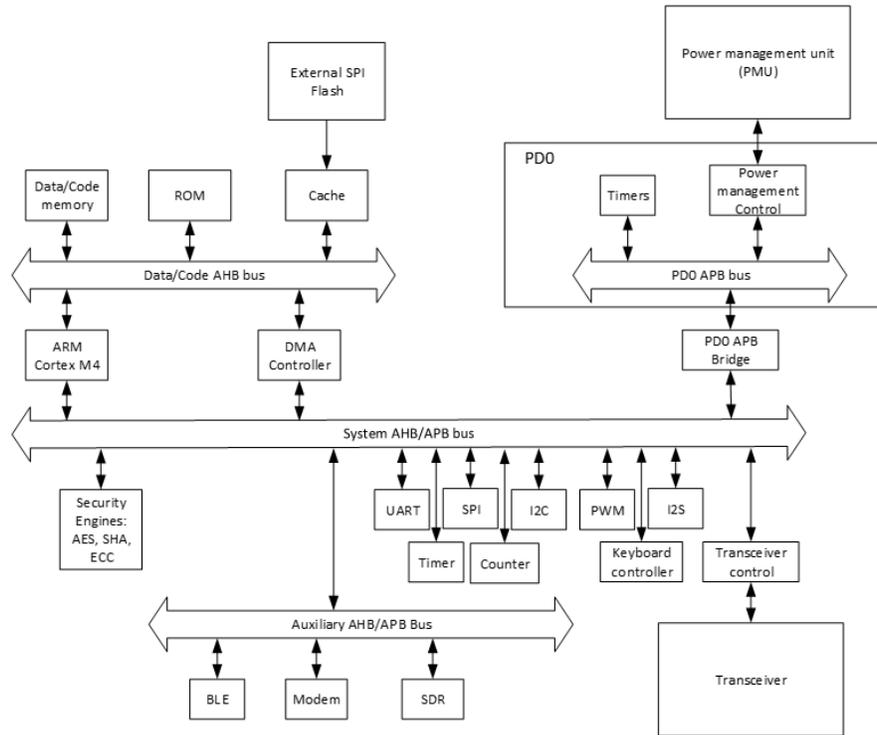


Figure 1 芯片系统框图

2 管脚定义

IN612L 采用裸露焊盘 48 引脚 QFN 封装。本封装有一个外露焊盘，必须连接到系统板地。QFN 封装的引脚定义如 Figure 2 所示。

2.1 QFN48

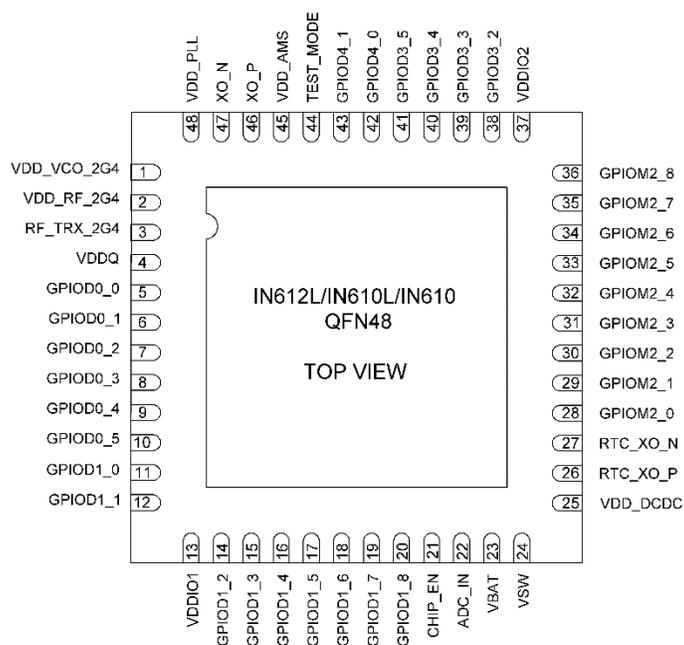


Figure 2 IN612L/IN610L/IN610 QFN48 封装引脚定义

Table 1 IN612L/IN610L/IN610 QFN48 封装引脚定义

引脚	引脚名称	引脚属性	功能定义描述
1	VDD_VCO_2G4	Analog/RF	RF VCO Power Supply 1.2V
2	VDD_RF_2G4	Analog/RF	RF Power Supply 1.2V
3	RF_TRX_2G4	Analog/RF	RF Port
4	VDDQ	DIGITAL Input	EFUSE Programming Voltage Supply
5	GPIOD_0_0	DIGITAL I/O	Digital Signal GPIO_0_0
6	GPIOD_0_1	DIGITAL I/O	Digital Signal GPIO_0_1
7	GPIOD_0_2	DIGITAL I/O	Digital Signal GPIO_0_2
8	GPIOD_0_3	DIGITAL I/O	Digital Signal GPIO_0_3
9	GPIOD_0_4	DIGITAL I/O	Digital Signal GPIO_0_4
10	GPIOD_0_5	DIGITAL I/O	Digital Signal GPIO_0_5
11	GPIOD_1_0	DIGITAL I/O	Digital Signal GPIO_1_0



12	GPIOD_1_1	DIGITAL I/O	Digital Signal GPIO_1_1
13	VDDIO1	I/O Power	I/O Voltage Supply for GPIO power domain 1
14	GPIOD_1_2	DIGITAL I/O	Digital Signal GPIO_1_2
15	GPIOD_1_3	DIGITAL I/O	Digital Signal GPIO_1_3
16	GPIOD_1_4	DIGITAL I/O	Digital Signal GPIO_1_4
17	GPIOD_1_5	DIGITAL I/O	Digital Signal GPIO_1_5
18	GPIOD_1_6	DIGITAL I/O	Digital Signal GPIO_1_6
19	GPIOD_1_7	DIGITAL I/O	Digital Signal GPIO_1_7
20	GPIOD_1_8	DIGITAL I/O	Digital Signal GPIO_1_8
21	CHIP_EN	PMU	Chip Enable
22	ADC_IN	PMU	Sensor ADC Input
23	VBAT	PMU	Chip Power Supply
24	VSW	PMU	DCDC Converter Switching Node
25	VDD_DCDC	PMU	DCDC Converter Feedback Node
26	RTC_XO_P	PMU	RTC positive terminal
27	RTC_XO_N	PMU	RTC negative terminal
28	GPIOM_2_0	Mixed Signal I/O	Mixed Signal GPIO_2_0
29	GPIOM_2_1	Mixed Signal I/O	Mixed Signal GPIO_2_1
30	GPIOM_2_2	Mixed Signal I/O	Mixed Signal GPIO_2_2
31	GPIOM_2_3	Mixed Signal I/O	Mixed Signal GPIO_2_3
32	GPIOM_2_4	Mixed Signal I/O	Mixed Signal GPIO_2_4
33	GPIOM_2_5	Mixed Signal I/O	Mixed Signal GPIO_2_5
34	GPIOM_2_6	Mixed Signal I/O	Mixed Signal GPIO_2_6
35	GPIOM_2_7	Mixed Signal I/O	Mixed Signal GPIO_2_7
36	GPIOM_2_8	Mixed Signal I/O	Mixed Signal GPIO_2_8
37	VDDIO2	I/O Power	I/O Voltage Supply for GPIO power domain 2
38	GPIOD_3_2	Digital I/O	Digital Signal GPIO_3_2
39	GPIOD_3_3	Digital I/O	Digital Signal GPIO_3_3
40	GPIOD_3_4	Digital I/O	Digital Signal GPIO_3_4
41	GPIOD_3_5	Digital I/O	Digital Signal GPIO_3_5
42	GPIOD_4_0	Digital I/O	Digital Signal GPIO_4_0
43	GPIOD_4_1	Digital I/O	Digital Signal GPIO_4_1
44	TEST_MODE	DIGITAL Input	Test Mode Selection, GND for Normal Operation
45	VDD_AMS	Analog/RF	AMS Supply 1.2V
46	XO_P	Analog/RF	XO positive terminal
47	XO_N	Analog/RF	XO negative terminal
48	VDD_PLL	Analog/RF	RF PLL Power Supply 1.2V

Table 2 列出了引脚复用配置，开发人员可以根据应用需求来配置 I/O 功能。只能选择一个 Pin Mux 选项，一旦配置好后，芯片的 I/O 功能将根据配置情况固定下来。



Table 2 GPIO 管脚复用指南列表

Pin No.	Pin Name	Mux 1	Mux 2	Mux3	Mux4	Mux5	Mux6
5	GPIO_0_0	o_uart_1_rts	io_keyboard_0		io_i2c_0_scl		o_pwm_0
6	GPIO_0_1	i_uart_0_cts-1	io_keyboard_1	i_spi_mstr_miso_bkup-1	io_i2c_0_sda		o_pwm_1
7	GPIO_0_2	o_uart_0_tx	io_keyboard_2				o_pwm_2
8	GPIO_0_3	i_wlan_tx_bkup-0	io_keyboard_3	o_spi_mstr_mosi_bkup	io_i2c_1_scl	o_audio_sd_l_bkup	o_tx_en1
9	GPIO_0_4	i_wlan_rx_bkup-0	io_keyboard_4	o_spi_mstr_clk_bkup	io_i2c_1_sda	o_audio_sd_r_bkup	o_tx_en1_bkup
10	GPIO_0_5		io_keyboard_5				
11	GPIO_1_0	i_uart_0_rx-1	io_keyboard_6				i_sw_d_trace_clk-0
12	GPIO_1_1	io_jtag_tms_swdio					
14	GPIO_1_2	i_jtag_tcksck-1					
15	GPIO_1_3	io_jtag_tdo	io_keyboard_7	i_qd_0_cha_x-0	o_i2s_mstr_clk	i_i2s_slv_clk-0	o_sw_d_trace_swo
16	GPIO_1_4	i_jtag_tdi-1	io_keyboard_8	i_qd_0_chb_x-0	io_i2s_mstr_ws	io_i2s_slv_ws	
17	GPIO_1_5	o_uart_1_rts	io_keyboard_9	i_qd_0_idx_x-0	io_i2s_mstr_sd0	io_i2s_slv_sd0	o_sw_d_trace_0
18	GPIO_1_6	i_uart_1_cts-1	io_keyboard_10	i_qd_0_cha_y-0	io_i2s_mstr_sd1	io_i2s_slv_sd0_bkup	o_sw_d_trace_1
19	GPIO_1_7	o_uart_1_tx	io_keyboard_11	i_qd_0_chb_y-0	io_i2c_0_scl_bkup	o_pwm_3	o_sw_d_trace_2
20	GPIO_1_8	i_uart_1_rx-1	io_keyboard_12	i_qd_0_idx_y-0	io_i2c_0_sda_bkup	o_pwm_4	o_sw_d_trace_3
28	GPIO_2_0		io_keyboard_13				
29	GPIO_2_1	o_uart_1_tx_bkup	io_keyboard_14	o_spi_mstr_ssn0	io_counter_0	o_audio_sd_l	o_tx_en_bkup
30	GPIO_2_2		io_keyboard_15		io_counter_1		
31	GPIO_2_3	o_uart_0_tx_bkup	io_keyboard_16	i_qd_0_cha_z-0	io_counter_2	o_audio_sd_r	o_rx_en_bkup
32	GPIO_2_4		io_keyboard_17		io_counter_3		
33	GPIO_2_5	i_uart_0_rx_bkup-1	io_keyboard_18	i_qd_0_chb_z-0	io_counter_4	o_32khz_clk	o_rx_en
34	GPIO_2_6		io_keyboard_19		io_counter_5		
35	GPIO_2_7	i_uart_1_rx_bkup-1	io_keyboard_20		io_counter_6		i_pdm_1_data-0
36	GPIO_2_8		io_keyboard_21		io_counter_7		i_pdm_0_data-0
38	GPIO_3_2		io_keyboard_22	i_wlan_tx-0	o_spi_mstr_ssn2		o_wdt_reset
39	GPIO_3_3		io_keyboard_23	i_wlan_rx-0	o_spi_mstr_ssn3		o_wdt_reset_bkup
40	GPIO_3_4	o_spi_mstr_clk	io_keyboard_24	i_spi_slv_clk-0	o_ble_active	i_qd_0_idx_z-0	o_tx_en
41	GPIO_3_5	i_spi_mstr_miso-1	io_keyboard_25	o_spi_slv_miso	o_ble_active_bkup	o_qd_0_led_x	o_32m_clk_out_bkup
42	GPIO_4_0	o_spi_mstr_mosi	io_keyboard_26	i_spi_slv_mosi-1	io_i2c_1_scl_bkup	o_qd_0_led_y	o_pdm_0_clk



43	GPIO_4_1	o_spi_mstr_ss_n0	io_keyboard_27	i_spi_slv_ssn-1	io_i2c_1_sda_bkup	o_qd_0_led_z	o_32m_clk_out
44	TEST_MODE						

3 功能描述

3.1 CPU 和内存子系统

本芯片集成了功能强大的 ARM Cortex-M4F 处理器内核及其相关的总线和存储器，一个具有处理器内核的 Cortex-M4F 处理器、嵌套式 Vectored Interrupt Controller (NVIC)、高性能总线接口和浮点单元(FPU)。

该系统由两个独立的 DMA 控制器组成，每个控制器有两个通道，96KB 的 SRAM 和 256KB 的 ROM。这包括系统完整性检查和应用认证检查。Cortex-M4F 在芯片供电电压为 3.3V，核心供电电压为 1.2V 的情况下，有源功耗为 45uA/MHz。

有两个 DMA 控制器，每个控制器有两个通道。它们支持独立访问外设，使用 AHB 总线将数据/指令存储器的数据复制到外设存储器，反之亦然。

有 96KB 的 SRAM 存储器，可以完全保留或保留在用户定义的增量块中，小到 4KB。在这 96KB 的 SRAM 存储器中，有 16KB 可以配置为 XIP(Execute-in-place)闪存控制器的指令缓存存储器。

另外还有 256KB 的 ROM 存储器，带有引导加载器和协议栈。本芯片还集成了一个 512KB 或 1MB 的闪存（见订购信息），用于用户程序和数据存储。外置闪存支持 XIP(就地执行)模式，允许用户直接从闪存中执行程序，而不是复制到 SRAM 中运行。

本芯片集成了 4Kb 的 eFuse 存储器，可作为安全密钥存储、制造商 ID 等。一旦 eFuse 存储器被编程和锁定后，存储器的内容就会成为永久的，无法修改或更改。

内存图详见 Figure 3 和 Figure 4 .

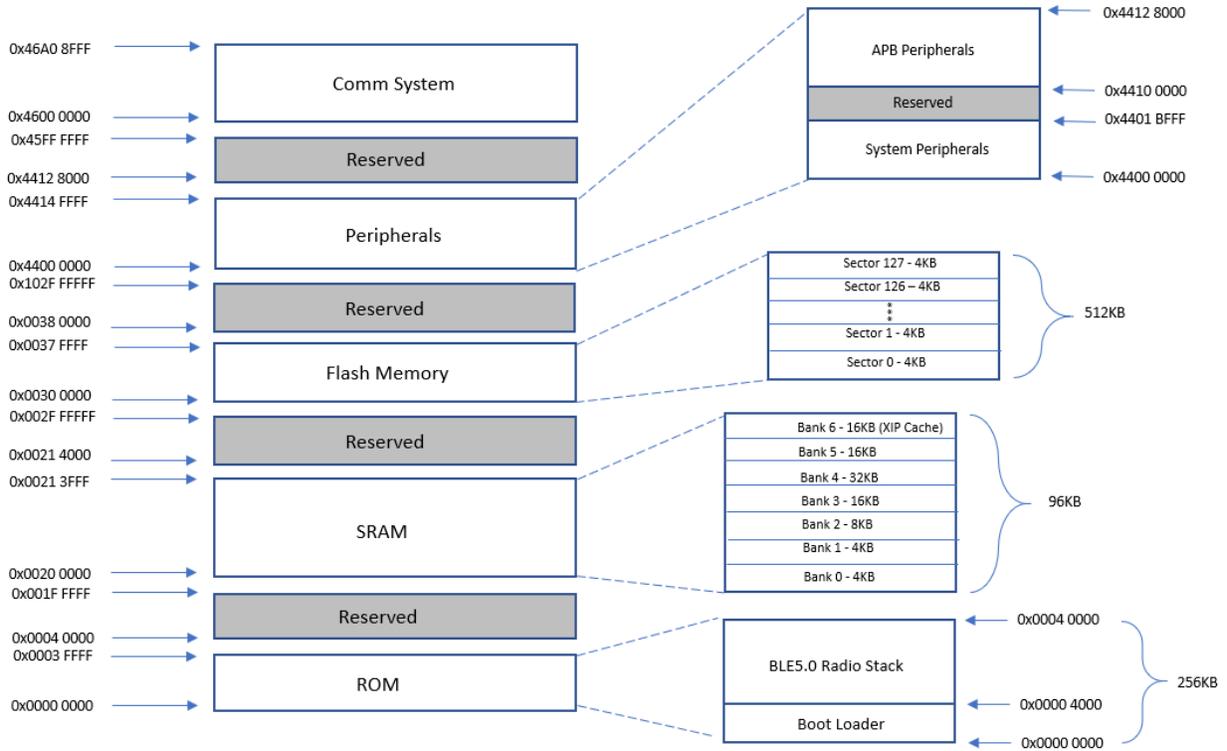


Figure 3 内存地址分布图

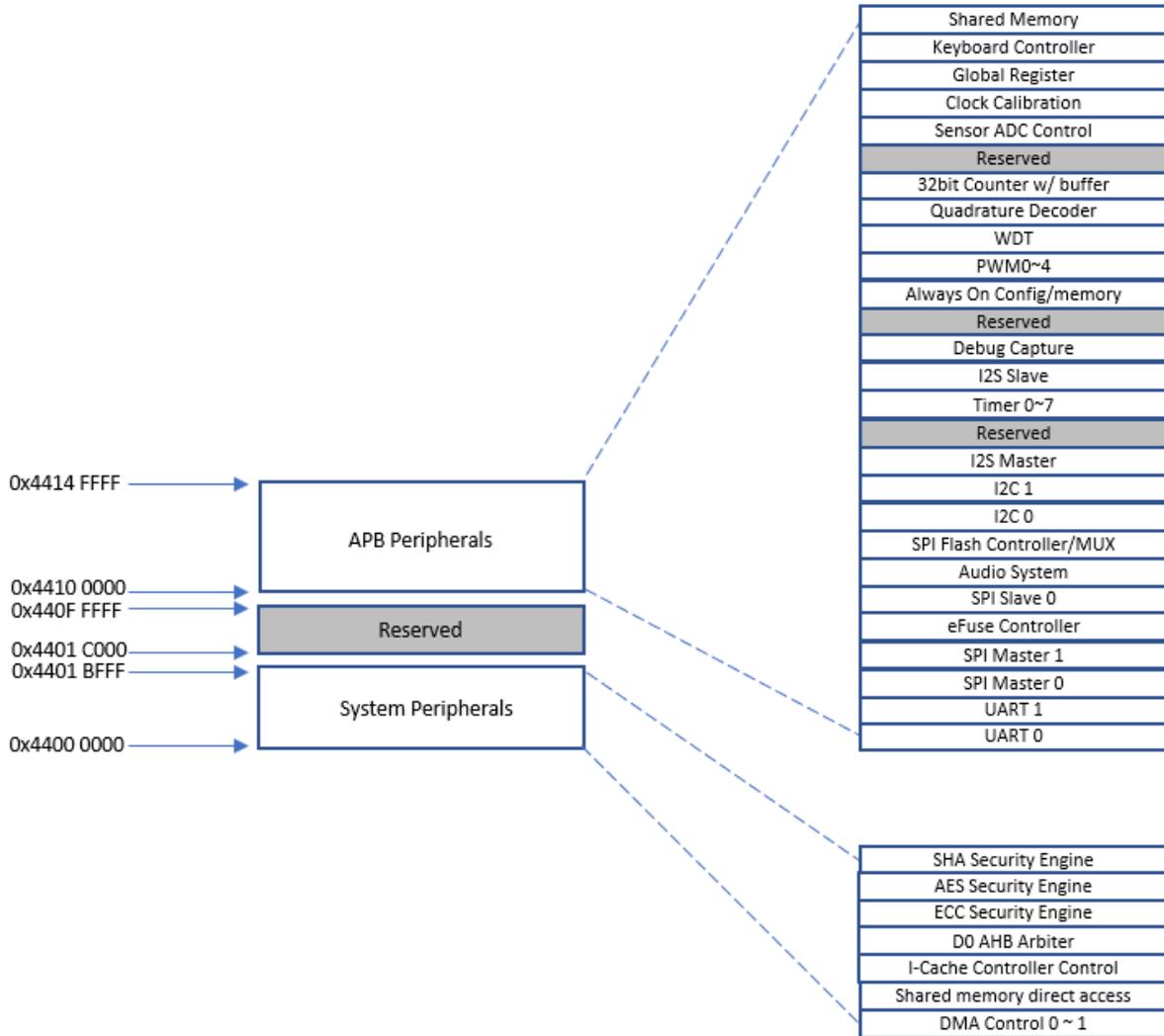


Figure 4. 外设寄存器地址分布图

3.2 电源系统和时钟

3.2.1 电源域和电源管理运行模式



供电系统确保在每个工作模式下各个子模块被供电的正确间隙和工作电压。本芯片具有以下几个电源域。AONPD(Always-On Power Domain)、DOOPD(Dynamic On-Off Power Domain)和 7 个可独立开启/关闭的数据/指令内存块，它们可以处于主动、保留或断电模式。

以下是内置电源管理的几种工作模式。

- 芯片深度睡眠模式。只有 AONPD 域被启用。所有其他域都被关闭。在此模式下，睡眠定时器正在运行，定时器决定何时唤醒其他域。此模式也可以由外部唤醒引脚或 brown-out 检测触发事件唤醒。
- 芯片睡眠模式和存储器保留模式。AONPD 开启后，可以保留某个或多个内存块中的内容。例如，其中一种模式是保留 4kB 内存块的保留模式。这种模式是指射频收发机在休眠状态下工作，用于简单的任务操作，如广播等，或者只有一个连接，此时收发器以最省电的方式在休眠状态下工作。
- 芯片有源工作模式。所有电源域都处于开启状态。
- 芯片关闭模式。所有芯片内部子模块都处于断电状态。该模式下的漏电流小于 20nA。

3.2.2 供电电源

Figure 5 显示了不同电源域和块的电源架构。本芯片有多个电源，包括 VBAT、VDDIO 和 VDDQ，芯片内部有一个降压型 DCDC 转换器、一个 AONPD LDO、一个保留 LDO 和两个 VDDIO 开关。

- AONPD 逻辑由 AONPD LDO 供电。
- DCDC 通过数字 LDO 为射频收发器和数字核心（包括 CPU、收发器的数字部分、efuse、外设）提供电源。
- 存储器库在主动运行模式下由数字核心 LDO 供电，在休眠模式下由保留 LDO 供电。
- 两个 VDDIO 开关（VDDIO SW1 和 SW2）为外部闪存和外部电路（如传感器）提供电源。在睡眠模式下，这两个开关可以被配置为关闭，以减少漏电。
- VDDQ 用于对 efuse 存储器进行编程。它只在 efuse 编程时需要。

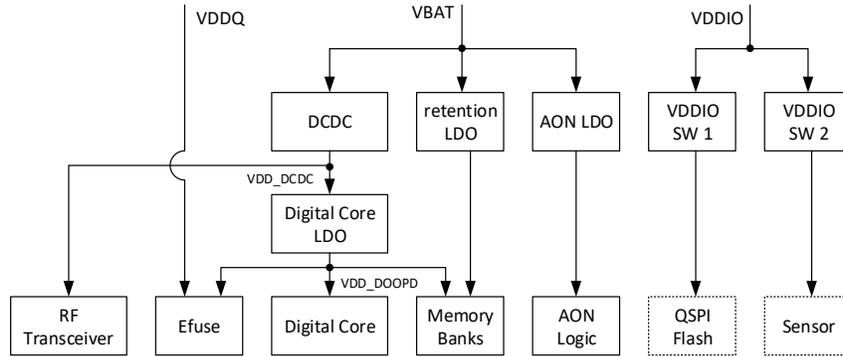


Figure 5. 芯片内部供电电源系统

DCDC 转换器

如 Figure 6 所示，降压型 DCDC 转换器有效地将电池的电压降低到 1.2V 左右。这 1.2V 电源直接用于为无线电收发器供电。此外，它还被用作 LDO 的输入，而 LDO 又反过来为数字核心提供电源。DCDC 转换器需要两个外部元件，一个电感和一个电容。推荐值分别为 4.7uH 和 4.7uF。其他值是允许的，但它们会影响 DCDC 在效率、启动时间和纹波振幅方面的表现。

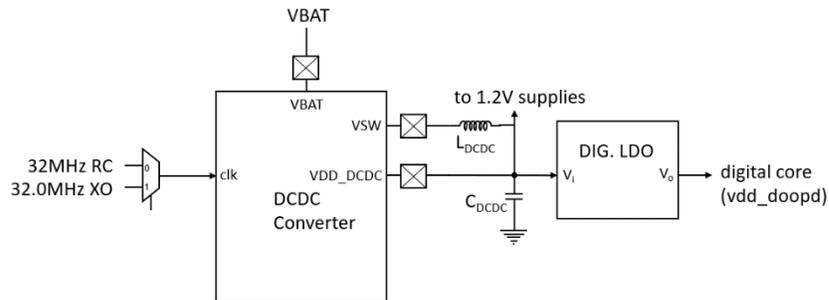


Figure 6 DCDC 转换器

3.2.3 时钟系统

本芯片的时钟系统是为了向所有需要时钟的子系统提供时钟，并在不降低系统性能或功耗的情况下，在不同时钟源之间进行切换。

时钟源有五种类型。它们是 RC 32KHz、RTC 32.768KHz、RC 32MHz、XO32/64MHz、时钟 PLL 的可编程时钟。RC 32KHz 是 AONPD 的默认时钟。



3.2.3.1 RC 32KHz

RC32KHz 时钟是一个低频时钟，用于 AONPD 逻辑。该时钟是 AONPD 在冷启动时的默认时钟源。如果 efuse 存储器配置显示安装了 RTC 晶体，则引导代码将把 AONPD 时钟源切换为 RTC 时钟。

3.2.3.2 RTC 32.768KHz

冷启动时，RC 32KHz 是 AONPD 的默认时钟。冷启动后，如果安装了 RTC 晶振，则引导代码会启用 RTC 时钟，如果安装了 RTC 晶振，则引导代码会切换到 RTC 32.768KHz 作为 AONPD 的默认时钟。Figure 7 是 32.768KHz 晶振的框图

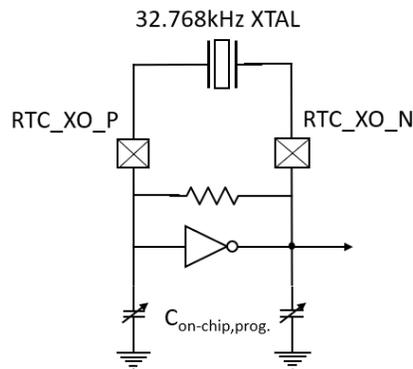


Figure 7 32.768KHz 晶振驱动电路

芯片还支持外部 32.768KHz 时钟源作为输入，如图 Figure 8 所示。

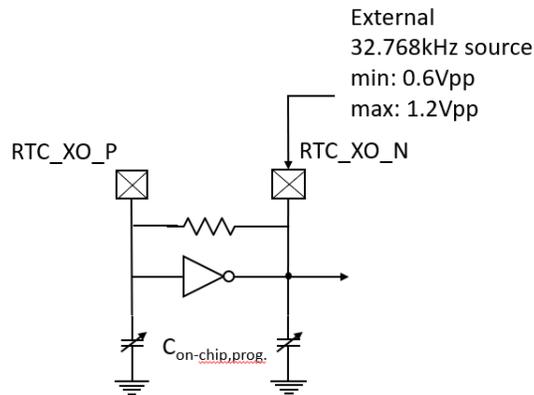


Figure 8 采用外部 32.768KHz 时钟源

RTC 时钟可以被配置输出到一个 GPIO 引脚上，用户可以根据自己的应用需求来使用。



3.2.3.3 RC 32MHz

RC32MHz 是一个 32MHz 的高频环形振荡器，在晶振启动时提供时钟源。CPU 在冷启动或从休眠模式唤醒后，CPU 默认使用 RC32MHz，在 XO 稳定后可切换到 XO 时钟。

3.2.3.4 XO 时钟

XO 时钟为 32MHz 的高频时钟源。如 Figure 9 所示，XO 时钟来自外部 32MHz 晶振。XO 由 AONPD 控制，冷启动后默认为启用。除了基于 XO 的 32MHz 时钟，在芯片内部，有一倍频器能产生 64MHz 的时钟。Bootloader 应将 CPU 时钟和外设时钟从 RC 32MHz 切换到 XO 32MHz。这对 Bootloader 很重要，因为 Bootloader 可能会尝试从 UART 接口获取固件映像，而 UART 接口需要更准确的时钟源。

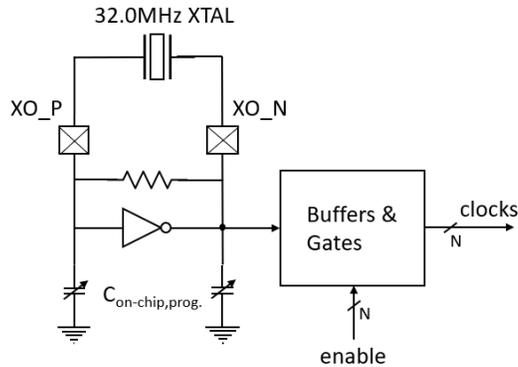


Figure 9 XO 时钟源电路

3.2.3.5 时钟 PLL

时钟 PLL 的设计是为了在不同的 PHY 速率接收上为射频收发器提供多个时钟频率，以满足不同的时钟要求。默认情况下，CLK PLL 由硬件自动控制。

3.3 Bluetooth 5 及子系统

本芯片集成了蓝牙低功耗子系统，包含基带、PHY 和链路层引擎与嵌入式安全引擎，完全符合低功耗蓝牙核心 5 规范，包括支持的所有可选功能，如扩展广告数据包长度、更高的吞吐量、WLAN 共存和远距离*模式等。

物理层有数字 PHY 和射频收发器，可在 2.4Ghz ISM 频段上以高达 2Mbps 的速度发送和接收 GFSK 数据包。PHY 也可以被配置为长距离*模式，以发送和接收 500Kbps 或 125Kbps 调制数据包。

该基带控制器结合了硬件和软件实现，支持所有的设备类别（Advertiser、Central、Observer 和 Peripheral）。所有的时序关键功能都在硬件中实现，如加密/解密、FEC 解码器、CRC、白名单和访问地址检测等。

BLE5.0 支持的主要功能如下：



- 符合低功耗蓝牙 v5.0 规范
- 所有数据包类型都支持（广播/广告/数据/控制/远距离*）。
- 广告数据包扩展，最多可扩展到 255 字节
- 加密/解密(AES-CCM)，增强链路层的安全性
- 位流处理（CRC、白名单）
- WLAN 共存机制(信令)
- 支持所有设备角色（Advertiser、Central、Observer、Peripheral）
- 全面支持低功耗蓝牙 V4.0/4.1/4.2 功能

2.4GHz 收发器有一个芯片引脚 RF_TRX_2G4，用于发射和接收射频信号，如 Figure10 所示。建议使用板载匹配网络，以获得设备的最佳射频性能。匹配网络有可能偏向于 RX 路径，也有可能偏向于 TX 路径，反之亦然，但在参考设计中推荐的匹配网络是两种路径的平衡。2.4GHz 收发器有四个供电引脚，名义上是 1.2V。通常情况下，它们应该接在 DCDC 输出端，即 VDD_DCDC。收发器需要一个 32.0MHz 的晶体振荡器基准。为了降低 BOM 成本，晶振的 CI 被集成在片上。片上 CI 可以用 0.5pF 到 8pF 的寄存器以 0.5pF 的步长对片上 CI 进行编程。

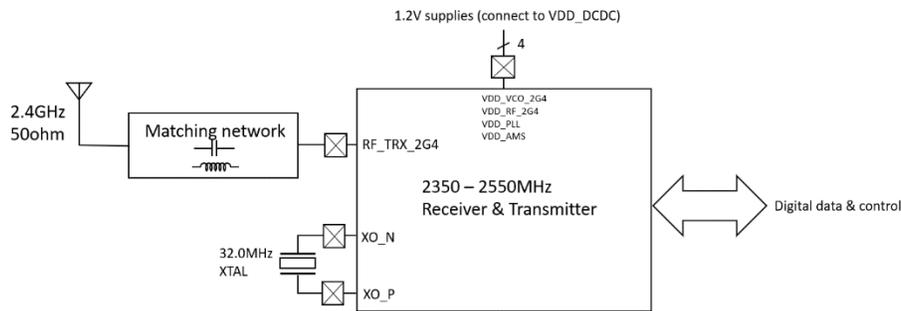


Figure 10 2.4GHz RF 收发器

3.4 软件无线电

本芯片集成了一个软件定义的无线电（SDR），用户可以用它来开发一个无线通信网络。SDR 支持高达+3dBm 的 GFSK 调制 Tx 功率输出。同时，可选择多种数据速率，如 125Kbps、500Kbps、1Mbps 和 2Mbps 等。

- 事件驱动和基于事件的通信。

- 1) 设备间的数据通信有一个或多个事件，如图 11 所示。InPlay 的 SDR 设备定义了两个角色。发起者和响应者。在事件中首先启动传输的设备被称为发起者。总是从接收开始的设备被称为响应者。设备的角色可以通过软件自由配置，如图 11 所示。



2) 启动器的功率可以很低。大多数时候，它可以处于睡眠或空闲状态。只有当有需要时，软件才能对其进行编程，使其启动事件。

- 低功耗蓝牙 5 和 SDR 共存

本芯片支持 BLE 和 SDR 共存。

- 无连接通信

在数据通信之前，不需要连接两个设备。

- 在一个事件中支持多个 TX 和 RX 从而可以实现高吞吐量无线通信。

在一个事件中，如图 11 所示，支持多路传输和接收，可以在发起者和响应者之间进行多个数据包的交换。

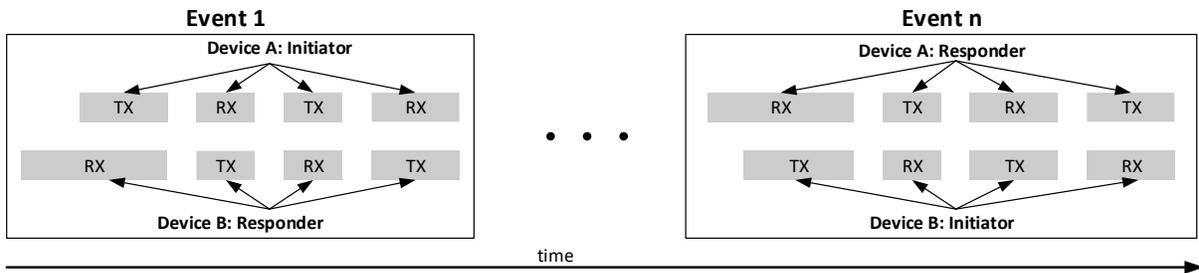


Figure 11 SDR 事件和角色

3.5 任意格式 TRX

本芯片支持一种灵活的发送和接收方式，我们称之为任意格式传输模式。相应的基带称为任意传输 BB (ATBB)，软件 (SW) 可以控制被传输的数据包格式。图 12 所示为 ARBB 的数据包格式。同步模式的内容（也称接入地址）由 SW 定义。此外，SW 完全可以控制报头、有效载荷和 CRC 的内容和长度。



Figure 12 任意 TRX 的数据包格式

在接收端，SW 只需要指定预期的同步模式。一旦它收到一个带有预期的 SYNC 模式的数据包，接收端就会向 CPU 发出信号。

信道和 PHY 速率也完全由 SW 控制。此模式支持两种 PHY 速率（1Mbps 和 2Mbps）。



任意格式 TRX 模式可以让用户完全控制射频收发机，开发自己的协议栈。

3.6 特殊功能模块

3.6.1 11-bit 传感器 ADC

本芯片有一个传感器 ADC 块，如 Figure 13 所示，用户可将模拟信号转换为数字域信号供 CPU 处理。

传感器 ADC 有 11 个物理位，最大转换速度为 1MSPS。实际的时钟速度和转换速率是通过数字设置来控制的。ADC 的输入前有一个多路复用器，用户可以对多达 10 个不同的通道进行采样（取决于封装选项）。此外，ADC 还可用于测量内部 VBAT 电压水平或温度。ADC 的数字控制系统使用户可以灵活地选择以何种顺序对哪些通道进行采样。ADC 所需的电压基准(Vref)可以从多个来源中选择，包括片上 1.0V 基准、VBAT 电压除以 2 或外部通道。输入到 ADC 的电压范围应在 0V 和 $2 \cdot V_{ref}$ 之间。

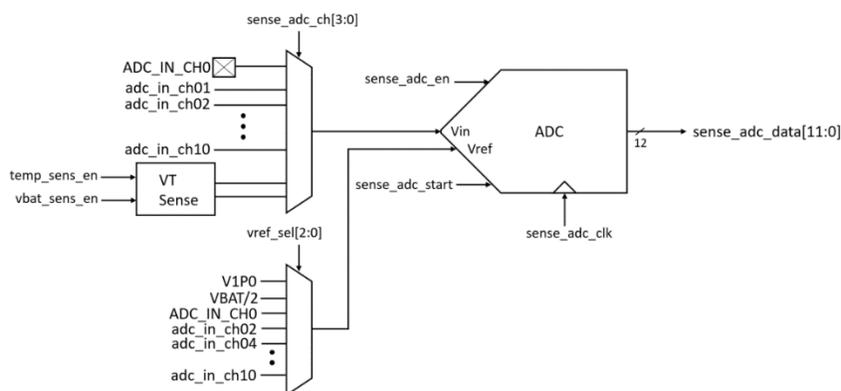


Figure 13 传感器 ADC

3.6.2 硬件安全引擎

本芯片集成了一组硬件加密引擎，可用于计算 AES、SHA 和 ECC 算法。

AES 模块实现了 NIST FIPS 197 中定义的 AES 加密和解密算法。该模块支持的功能有

- 支持的密钥长度有 128b、192b 和 256b，可配置。
- 支持的认证模式有 XCBC、F8、CMAC、CCM、CCM、CBC、CCR 和 ECB 模式。



SHA 模块实现了散列算法，支持 SHA-1 和 SHA-2。

ECC 模块实现了 ECC 加密和解密算法。支持的密钥长度有 128b、192b 和 256 位。

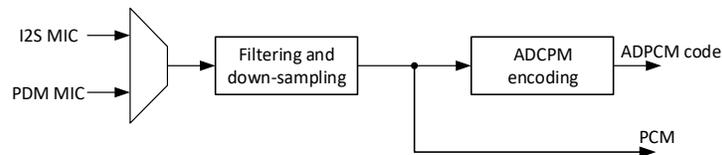
3.6.3 音频 ADPCM 和重采样引擎

本芯片具有 ADPCM 和音频采样率转换(SRC)引擎，可用于支持和开发无线语音和音频应用。

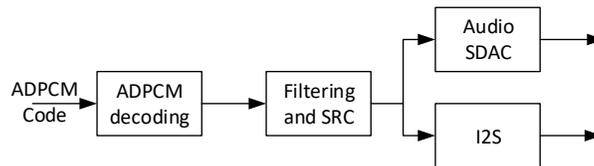
音频引擎从 PDM 或 I2S 接口的麦克风中获得音频数据输入，然后进行 ADPCM 编码和封装，通过无线接口进行传输，如 Figure 14(a)所示。ADPCM 引擎可以被绕过，在这种情况下，我们可以得到原始的 16 位 PCM 采样输出。

通过无线电接口接收到的 ADPCM 编码数据也可以传递给 ADPCM 解码，通过 Sigma-Delta DAC(SDAC)或 I2S 播放，如 Figure 14(b)所示。

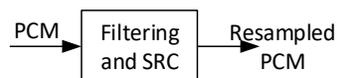
本芯片的音频 SRC 也可用于直接进行 PCM 采样率转换（如 44.1KHz 和 48KHz 之间的音频采样率转换），如 Figure 14 (c) 所示。



(a) ADPCM 编码和 PCM 输出



(b) ADPCM 解码



(c) Audio SRC

Figure 14. 音频引擎



3.6.4 键盘控制器

本芯片有一个键盘控制器模块，可以通过扫描列或行来识别每个键的行/列索引。

用户可以定义扫描间隔，每隔 0.5、1、2 或 4 毫秒扫描一次。每一次扫描后，如果有任何键的状态被更新，就会产生一个中断来通知 CPU。同时，以下信息将被存储在状态寄存器中：

Table 3 键值寄存器格式

1 bit (press/release)	1 bit (multi-key event)	28 bits (X/Y index) of the key
-----------------------	-------------------------	--------------------------------

第一个位表示扫描过程中是否按下或释放按键。第二位表示是否发生多键事件（用于支持同时按下/释放多个按键）。如果该位被置位，第二个状态寄存器（与第一个状态寄存器的格式相同）将被填充。如果第二个寄存器中的这个位也被设置，第三个寄存器将被填充，以此类推。最多存储 4 个关键状态寄存器。寄存器中的最后一个字段用于键的列/行索引。列和行的 GPIO 的数量可以通过控制寄存器来配置。常规键和特殊键（如 shift、control、alt、home、end 等）可以通过控制寄存器配置，最大支持的键数为 108 个。

根据控制寄存器的设置，去抖动滤波器可以在 0(去抖动功能被禁用)到 63 毫秒(以 1ms 为单位)的范围内过滤掉故障。按压和释放去抖动过滤器可以有不同的滤波时间值。

所有的键盘中断都将被列为并行 I/O 端口，因为标准的中断控制器（包括脉冲到电平转换、掩码、清空功能）将用于将这些中断组合成一个单一的中断给 CPU。所有的键盘控制和状态寄存器将被用来将这些信号转换为通过 APB 接口访问到 CPU 的控制/状态寄存器。

3.6.5 正交解码器

本芯片有一个正交解码器，用户可以将本芯片与机械转电子旋转装置如同服电机、音量控制轮、PC 鼠标等机械转电子旋转装置连接。解码后的正交信号作为系统的数据输入，用于确定旋转装置的绝对或相对位置。

正交解码器由 Signal_A、Signal_B 和 Signal_LED 组成，作为与外部旋转设备的接口引脚。Signal_A 和 Signal_B 是外部正交编码器的输入信号，用于指示旋转装置的移动。Signal_LED 是外部正交编码器的可选输出信号，在采样前几微秒（通过控制寄存器定义），在 Signal_A、Signal_B 值被解码器采样后立即解除。

可以启用一个可选的去弹出滤波器。Signal_A 和 Signal_B 的值只有在去弹出滤波器窗口期间（与采样间隔长度相同），其值为常数时才有效。如果在去弹出滤波器窗口中的值发生变化，Signal_A/Signal_B 的值将被忽略，保持与上一次采样时的值相同。当去弹跳滤波器和 Signal_LED 被启用时，Signal_LED 在去弹跳滤波窗口中会一直亮起，Signal_A 和 Signal_B 的值会一直被采样。



3.7 外设

3.7.1 I2C

I2C 是一种简单的双线制总线，它是由软件定义的系统控制和外设协议。它有一个串行数据 (SDA) 和一个串行时钟 (SCL)。本芯片有两个独立的 I2C 接口 (取决于封装)。支持的最大 I2C 时钟速率为 1MHz。

I2C 可以被配置成主设备或从设备模式。用户可以灵活地确定和编程从属 I2C 地址。它具有 7 位寻址功能。从设备地址是在 Start 条件后的第一个字节中传输。字节的前 7 位为从设备地址，第 8 位表示 R/W 标志 ("1" 表示读, "0" 表示写)。它支持批量传输模式。

I2C 有访问 DMA 控制器的权限，数据可以通过 DMA 在 CPU 存储器和外设缓冲区之间移动。

3.7.2 SPI

SPI 是一种四线制串行外设接口总线，常用于微控制器和外设之间的数据发送。它由一条时钟线 (SCK) 和数据线 (MOSI、MISO) 以及一条芯片选择线 (SS) 组成。

本芯片有两个 SPI 接口。它们都可以被配置为在主控模式或从属模式下工作。在主动工作模式下，支持的最大时钟速率为 16MHz。在主动模式下，本芯片最多可以支持 4 个独立的从设备，使用不同的 SS 线，同时共享相同的 SCK、MOSI 和 MISO 线。在主动模式下，它还可以支持双 SPI 和四 SPI 模式操作，以提高吞吐量。

在从机模式下，设备可以在不高于 4MHz 的 SCK 时钟速率下工作。

SPI 具有访问 DMA 控制器的功能，数据可以通过 DMA 在 CPU 存储器和 SPI 外设缓冲区之间移动。

3.7.3 UART

本芯片包括两个 UART 内核，支持通用异步收发机功能，支持可编程波特率高达 2Mbps。2 个 UART 内核的时间复用到 4 个 UART 接口 (取决于封装)。

UART 内置 16bytes 的发送和接收数据 FIFO，并支持自动流量控制。

UART 可以访问 DMA 控制器，数据可以通过 DMA 在 CPU 内存和 UART 缓冲区 FIFO 缓冲区之间移动。



3.7.4 计数器/定时器/可调制脉宽输出 PWM

本芯片有一个基于 32MHz XO 时钟（或 32MHz 的分频版）的 32 位计数器，一个基于 32KHz 时钟的 32 位计数器和 4 个可灵活配置的计数器。

这 4 个可灵活配置的计数器可用于捕获外部慢速信号的值（和持续时间）。它们也可以用来根据配置寄存器发出信号。它们可用于红外遥控（包括学习和传输）和 ISO-7816 协议。它们还可以用于其他功能，如外部信号的频率估计、时钟产生、延迟定时等。也可以将它们串联在一起产生更复杂的信号。

本芯片有两个睡眠模式定时器。用户可以使用这两个定时器来实现定时器功能，在睡眠模式定时器事件过期之前，不需要唤醒 CPU。睡眠模式定时器的时钟源可以是内部 RC 32KHz 时钟或外部 RTC 32.768KHz 时钟。

本芯片有 5 个脉宽调制器(PWM)，输出频率和占空比都是可编程的。时钟源可从 2MHz 到 32MHz，可提供高分辨力的输出频率。

3.7.5 PDM

本芯片具有 PDM 接口，可以通过 CLK（时钟）/PDM（PDM 位流）对数字传输音频数据。本芯片支持从外部 PDM 外设输入的单声道流和立体声流，支持从 160KHz 到 5.12MHz 的多种 PDM 时钟速率。对于单声道流，PDM 位流的时钟采样频率为单边沿采样（可选择），对于立体声流，PDM 位流的时钟频率为双边沿采样（可选择）。经过滤波和下采样后，将产生 16 位 PCM 码流，可进一步转换为 4 位 ADPCM 格式。

3.7.6 I2S

I2S 总线是一种简单的三线制串行总线协议，用于将数字音频设备连接在一起。它有 SCK（位时钟）、WS（字选择）和 SD（串行复用数据线）。它支持在主设备或从设备模式下工作。在主设备 I2S 模式下，支持的 WS 时钟速率有 7.8125KHz、8KHz、15.625KHz、31.25KHz 和 46.875KHz。WS 时钟频率默认为 15.625KHz。SCK 时钟支持从几百 KHz 到 3.2MHz。

本芯片有两个 I2S 接口。一个是主设备 I2S，一个是从设备 I2S。这两个 I2S 内核都支持双向数据传输。

I2S 具有访问 DMA 控制器的功能，数据可以通过 DMA 在 CPU 存储器和 I2S 数据存储器之间移动。

3.7.7 缓存和就地执行(XIP)



本芯片为外部 SPI 闪存提供了 2 路集联想指令缓存功能，以减少因外部 SPI 接口速度较慢而导致的潜在延迟。该缓存可支持高达 2M 字节的外部 SPI 闪存地址空间。缓存数据/标记存储器可以在休眠期间保留，以加快唤醒 CPU 的执行速度。

3.7.8 DMA

本芯片提供 2 个独立的 DMA 控制器，每个控制器可连接 12 个不同的外设接口。每个控制器还提供了 2 个并行通道，可以同时启用。DMA 控制器支持外设缓冲区、共享存储器和 CPU 数据存储器之间的数据拷贝。DMA 控制器中的所有通道都支持多块 DMA 传输。

3.7.9 WDT 看门狗定时器

本芯片有一个 WDT (看门狗定时器)。用户可以通过在块中设置一个预定义的超时寄存器来监控系统故障。也可以在 WDT 超时时时输出预设的 PWM 波形。当 WDT 定时器过期时，WDT 定时器也可以输出电平信号。

WDT 的超时信号连接到 Cortex M4 非屏蔽中断(NMI)源。来自 WDT 的第二个超时信号也可以通过芯片引脚(极性可编程)编程发送，供外部硬件逻辑复位芯片。它也可以作为 PWM 块中预编程的周期性波形发送出去。同样的信号也可以被编程为整个芯片自动复位或可切换电源域。

3.7.10 音频编码器/解码器

芯片提供了简单的自适应差分脉冲编码调制 (ADPCM) 音频编码器/解码器作为低质量音频数字 MIC/扬声器接口。支持多种商用 ADPCM 数据包格式，包括 Microsoft 和 Apple。还支持来自数字 MIC 接口 (通过 PDM 或 I2S) 的原始 PCM 格式数据，可通过 DMA 或手动读取存储器获取音频数据并直接提供给 CPU 进行运算处理。

3.7.11 GPIO 和模拟 I/O

本芯片最多支持 30 个 GPIO (取决于封装) 和一个专用的模拟输入引脚 (取决于封装)。GPIO 有两种类型：混合信号 GPIO 和数字通用 IO。混合信号 GPIO 可以被配置为数字 GPIO，也可以被配置为 Sensor ADC 的模拟信号输入引脚。

当每个 GPIO 处于数字输入模式时，每个 GPIO 都有一个可编程的上拉或下拉电阻，并有 2 级可编程的输出驱动强度选项。

本芯片支持 GPIO 高电平唤醒，并且每个 GPIO 可被配置为唤醒引脚。



本芯片支持 GPIO 在休眠期间的状态保持。

所有的 GPIO 都支持异步中断。它们可以被配置为 ARM 内核的中断源。GPIO 的多个 GPIO 输入可以组合在一起，形成一个单一中断。对于每个 GPIO 的输入，我们可以配置它的极性和掩码。

当 Chip_En (芯片使能) 为低电平时，芯片处于关机模式，所有的 GPIO 都处于高 Z 输出状态。当芯片使能时，所有的 GPIO 默认为输入模式，并上拉。开机后，软件可以将 GPIO 编程为适当的模式 (如输入/输出/高 Z 状态或模拟输入)。

3.8 编程和调试接口

芯片集成了调试和跟踪功能。支持串行线调试 (SWD) 和 JTAG (跟踪功能)。

请注意，SWD 和 JTAG 功能一旦被编程为 1 时，SWD 和 JLINK 禁用位将被使能，外部调试工具不允许访问。

3.9 用户软件版权保护与安全启动

通常情况下，对于带外置闪存的系统，有两个问题需要关注。第一个担心的问题之一是如何保护闪存上的 IP，目前流行的保护外置闪存上的 IP 的方法之一就是加密代码。第二个顾虑是，我们需要确保闪存上的固件是经过认证的固件。为了解决第二个担心的问题，需要安全启动。

芯片支持闪存加密和安全启动，让用户的 IP 得到保护，固件在执行前要经过认证。

3.9.1 用户软件版权保护

本芯片具有专门的加密引擎，保护用户的软件知识产权。它支持从程序员到芯片的安全文件传输，如 Figure 15 所示。当程序员试图对芯片的外部闪存进行编程时，程序和芯片的 bootrom 可以通过 ECDH(Elliptic-curve Diffie-Hellman)密钥交换协议协商出一个共享的密钥。然后，在程序员向芯片传输固件映像文件时，可以使用该密钥对固件映像文件进行加密。加密是基于 AES-256 的加密方式。

IN600 系列芯片有专用的随机数发生器。每次与编程器协商密钥时，它都会使用不同的随机数。因此，不同的芯片在不同的时间，其密钥也会有不同的变化。



Figure 15 软件著作权保护机制



存储在外部闪存中的固件映像文件可以配置为加密或不加密的方式。如果选择加密，当芯片的 Bootrom 从编程器获得加密的映像文件时，首先对映像文件进行解密，然后使用安全编程密钥生成器引擎生成的不同密钥对映像进行重新加密。新加密后的图像将被编程到外部闪存中。这种过程被定义为安全编程。

支持两种类型的闪存加密。一种是 AES-256 加密。在执行 AES-256 加密时，bootrom 会首先使用与芯片的唯一 ID 绑定的秘密密钥对加密后的代码进行解密，然后将解密后的代码放到芯片的内部 RAM 中。另一种加密方式是 InPlay 的私有实时加密 (PRTE)，可以在实时代码执行时解密。固件映像可以被配置为部分 AES-256 加密，部分 InPlay 的 PRTE 加密，或部分不加密。加密密钥与芯片的唯一 ID 绑定。因此，相同的加密代码不会在两个不同的芯片上执行。我们把这样的代码在芯片上执行称为安全执行。

3.9.2 安全启动

芯片根据用户的选择，支持安全启动。为了支持安全启动，需要在固件映像上附加一个加密签名（称为证书），如图 16 所示。在冷启动时，启动器会对签名进行认证。如果认证失败，bootrom 会停止启动过程。IN600 系列芯片有专门的硬件引擎和 bootrom 代码来支持安全启动。

如 Figure 16 所示，为了支持安全启动，必须使用一定的 Hash 引擎如 SHA-2 等生成签名。然后通过使用 ECC（椭圆曲线加密法）对签名进行加密。加密后的签名是一个证书。该证书将附在图像上，并被编程到 IN600 家族芯片的外部闪存中。签名是通过使用私钥进行加密的。相应的公钥应被编程到 IN600 家族芯片的内部 EFUSE 存储器中，并且 EFUSE 可以被配置为锁定公钥，使其不能被修改或更改。

在冷启动时，bootrom 会对闪存上的映像进行 Hash 计算，计算出其签名。然后，bootrom 使用 ECDSA（Elliptic Curve Digital Algorithm，椭圆曲线数字算法）根据证书和公钥对签名进行认证和验证。如果验证过程通过，bootrom 就会启动该固件映像。

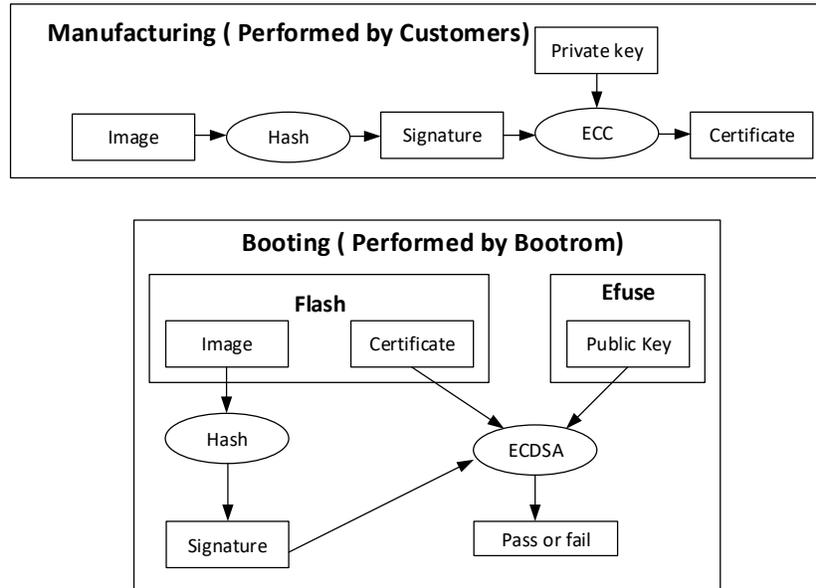


Figure 16 安全启动

4 电气特性

芯片 VDDIO 电平适用的电压范围基于不同的应用要求而不同。之所以有这样的区分，是因为 IO 驱动器的驱动强度与 IO 电源电压成正比。在 IN600 家族系列产品中，IO 电源电压范围（1.8 ~ 3.6v）有很大的差距。对于大多数厂商来说，如果要保证在这一电压范围内的驱动强度是无法忍受的，因为他们一般只使用了 IO 供电范围内的一个分量。因此，这些电压被划分为三个可管理的部分，分别是 VDDIOL、VDDIOM 和 VDDIOH。

4.1 极限最大值

本节中列出的值是芯片可以达到峰值的极限最大值，超过如下所列极限最大值可能会对设备造成永久性损坏。设备的功能操作应该遵循 "额定工作条件" 中所指明的条件，长时间暴露在极限最大值会造成不可逆的损坏。



Table 4 极限最大值

功能说明	描述	最小值	最大值	单位
供电电压(VDDIO1, VDDIO2)		-0.3	3.9	V
供电电压(VBAT)		-0.3	3.9	V
数字 GPIO 输入	全部数字 GPIO 引脚	-0.3	VDDIO+0.3	V
模拟高压 GPIO 信号输入	CHIP_EN, ADC_IN	-0.3	VBAT	V
TRX 供电电压	VDD_RF_2G4, VDD_VCO_2G4, VDD_PLL, VDD_AMS	-0.3	2	V
模拟低压信号输入	XO_N, XO_P, RTC_XO_N, RTC_XO_P	-0.3	2	V
最大 RF 信号输入	RF_TRX_2G4		5	dBm
静电压力 (人体模型)	全部引脚	-4000	4000	V
存储温度		-65	150	C

注意：芯片在上述极限最大值条件下长时间使用会导致芯片的物理性不可逆损伤。

4.2 额定工作条件

Table 5 额定工作条件

功能说明	最小值	典型值	最大值	单位
供电电压(VDDIO1, VDDIO2)	1.7	3	3.6	V
供电电压(VBAT)	1.7	3	3.6	V
操作温度	-40		85	C

4.3 GPIO PAD 特性

在以下条件下测量。Ta=25C, VBAT=3.0V, L=4.7uH, C=4.7uF, 除非另有说明。.

Table 6 GPIO PAD 特性

功能说明	描述	最小值	典型值	最大值	单位
VIL	输入低电压值			0.3*VDDIO	V
VIH	输入高电压值	0.7*VDDIO			V
VOL	输出低电压值			0.4	V
VOH	输出高电压值	VDDIO-0.4V			V
IOH	输出最高电流驱动值		4		mA



IOS	输出标准电流驱动值		4		mA
tLH/tHL (标准驱动)	上升时间/下降时间 @标准 12pf 负载驱动 10%~90%			4	ns
tLH/tHL (高电流驱动)	上升时间/下降时间 @高电流 12pf 负载驱动 10%~90%			3	ns
RPU	GPIO 上拉阻抗		21K		Ohm
RPD	GPIO 下拉阻抗		25K		Ohm

注：所测数据为初步数据，可能会有变动。

4.4 降压转换器特性

在以下条件下测量。Ta=25C, VBAT=VDDIO=3.0V, L=4.7uH, C=4.7uF, P_load=12mW~13mW, 除特别说明外，其余情况下测量。

Table 7 降压转换器特性

参数	测试条件	最小值	典型值	最大值	单位
输出电流能力		0	15	30	mA
外置电容		2	4.7	20	uF
外部电感		2	4.7	10	uH
电感器 ESR			300	650	mOhm
电感饱和电流		150		500	mA
供电电压		1.7	3.0	3.6	V
输出电压		1	1.2	1.4	V
电源效率 @3.0V			83		%
电源效率 @1.8V			89		%
启动时间			250	400	us
过载启动			0		V



4.5 11 位 SAR ADC 特性

在以下条件下测量。Ta=25C, VBAT=VDDIO=3.0V, VREF=片上 V1P0, 除非另有说明

Table 8 ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
物理位数			11		bits
有效位数 ENOB	100KSPS		9.7		bits
	50KSPS		10.3		bits
SINAD	100KSPS		60.0		dB
	50KSPS		63.3		dB
转换用 Vbat 电源电流	100KSPS		123		uA
	50KSPS		122		uA
转换用 1.2V 电源电流	100KSPS		900		nA
	50KSPS		460		nA
转换延迟时间		13			clock cycles
采样率			50	1000	KSPS
积分非线性 INL		-2		2	LSB
微分非线性 DNL		-1		1	LSB
参考电压 Vref	寄存器控制选择: 外部或内部		1.0	VBAT/2	V
输入电压范围		0		2*VREF	V
输入通道数				11 (*2)	-
输入信号	单端输入		-		
输入信号偏移量			10		mV

注:

(1*): 控制设置选项见应用手册文档

(2*): 通道数量取决于封装



4.6 Vbat 监测特性

测量条件为: .A=25C, VBAT=VDDIO=3.0V。Ta = 25C, VBAT=VDDIO=3.0V, 除非另有说明

Table 9 电池电压监测电路特性

参数	测试条件	最小值	典型值	最大值	单位
分辨率	采用片上 V1P0 作为参考电压		2.3		mV/LSB
范围	ADC 输入 = 0.4*VBAT. ADC 输入范围 0V - 2V (FS).	1.7		4.3	V
准确度	带 VREF 校准	-3.3	1.1	3.3	%
	带 ADC 偏移和 VREF 校准	-0.6	0.2	0.6	%

4.7 芯片温度监测特性

除非另有说明, 否则, 测量条件为: Ta=25C, VBAT=VDDIO=3.0V

Table 10 温度监测特性

参数	测试条件	最小值	典型值	最大值	单位
分辨率	采用片上 V1P0 作为参考电压		-0.5		C/LSB
范围		-40		125	C
准确度	带 VREF 校准	-3	1	3	%
	带 ADC 偏移和 VREF 校准	-1.8	0.6	1.8	%

4.8 32KHz RC 振荡器特性

除非另有说明, 否则, 测量条件为: Ta=25C, VBAT=VDDIO=3.0V

Table 11 32KHz RC 振荡器特性

参数	测试条件	最小值	典型值	最大值	单位
----	------	-----	-----	-----	----



振荡频率	校准参数: osc_32kHz_rc_ibg = TBD, osc_32kHz_rc_ictat = TBD		32		kHz
温度系数	校准参数: osc_32kHz_rc_ibg = TBD, osc_32kHz_rc_ictat = TBD		TBD		ppm/C

4.9 32MHz 晶体振荡器特性

除非另有说明, 否则, 测量条件为: Ta=25C, VBAT=VDDIO=3.0V

Table 12 32MHz 晶体振荡器特性

参数	测试条件	最小值	典型值	最大值	单位
晶体振荡频率			32		MHz
晶体频率容差		-40		40	ppm
ESR			60	200	ohm
Lm, 振动电感	(*1)		17	35	mH
Cm, 振动电容	(*1)		2.2	3	fF
Cl 晶体负载电容	(*1), 差分		6	10	pF
C0	(*1)		0.7	2	pF
片上 Cl	differential, programmable in 0.5pF steps	0.5		8	pF
启动时间			500	1000	us

注:

(1*): 晶体数据表必须满足这些要求。

4.10 32MHz RC 振荡器特性



除非另有说明，否则，测量条件为：Ta=25C, VBAT=VDDIO=3.0V

Table 13 32MHz RC 振荡器特性

参数	测试条件	最小值	典型值	最大值	单位
振荡频率	可编程，分辨率为 1MHz	16	32	48	MHz
温度系数			TBD (-0.15)		%/C

4.11 32.768KHz RTC 时钟晶振特性要求

除非另有说明，否则，测量条件为：Ta=25C, VBAT=VDDIO=3.0V

Table 14 32.768KHz RTC 时钟振荡器特性

参数	测试条件	最小值	典型值	最大值	单位
晶振频率			32.768		kHz
晶体频率公差	包括老化和温度漂移	-500		500	ppm
ESR			30	100	kOhm
片上 CI	差分, 可编程配置, 0.5pF 为单位	0.5		16	pF
CI 晶体负载电容	差分	4	7	12	pF

4.12 RF 性能

特性是在推荐的工作条件下测量的，除非另有说明。典型值是指 TA=25°C 和 Vbat=3.0V 时的典型值。本规格在 -45°C ≤ TA ≤ +85°C 和 1.8V ≤ Vbat ≤ 3.6V 时有效。所有性能数据均通过带有 50 欧姆天线连接器的评估板进行测量。

4.12.1 通用 RF 性能指标

Table 15 通用 RF 特性指标

参数	描述	最小值	典型值	最大值	单位
无线电频率范围		2320		2650	MHz
射频锁相环通道间距	通道间距可由用户编程		1		MHz
调制频率偏差	1Mbps GFSK		±250		kHz
调制频率偏差	2Mbps GFSK		±500		kHz
数率吞吐量		125		2000	kbps
RSSI 动态范围			TBD		dB
RSSI 准确率			TBD		dB



RSSI 精度			TBD		dB
---------	--	--	-----	--	----

4.12.2 RF 接收机性能指标

除非另有说明, 否则, 测量条件为: Ta = 25C, VBAT=VDDIO=3.0V, fRF=2440MHz

Table 16 RF 接收机性能特性

参数	条件	测试条件	最小值	典型值	最大值	单位
最大接收信号	1Mbps			5		dBm
射频灵敏度 – 典型电流值设置	2Mbps	所有通道的平均值, 使用片上 DC-DC, 在 SMA 连接器上测量, BER=1e-3,典型电流设置。		-94		dBm
	1Mbps			-97		dBm
	500kbps			-100		dBm
	125kbps			-104		dBm
	灵敏度提高的 delta - 最大值 电流设置			设置 LNA 偏置电流至最大		-0.5
板与板灵敏度差异		芯片差异+匹配元件差异	-0.5		0.5	dB
I/C 同频干扰	2Mbps	期望信号在-67dBm, 通道内调制干扰器, 误码率 BER=1e-3		-7.6		dB
I/C 选择性, +/- 2MHz				8 / 4		dB
I/C 选择性, +/- 4MHz				45 / 15		dB
I/C 选择性, +/- 6MHz				49 / 35		dB
I/C 选择性, +/- 8MHz				52 / 43		dB
I/C 选择性, +/- 16MHz				44 / 36		dB
I/C 选择性, +/- 32MHz				53 / 51		dB
I/C 选择性, +/- (10..20)MHz				41		dB
I/C 选择性, +/- (21+)MHz				50		dB
I/C 选择性, 镜像频率				15		dB
I/C 选择性, 临频 (2MHz) 到镜像频率				35		dB



I/C 同频干扰	1Mbps	期望信号为-67dBm, 调制干扰源在通道内, 误码率 BER=1e-3		-6.2		dB
I/C 选择性, +/- 1MHz				5.6 / 3.6		dB
I/C 选择性, +/- 2MHz				42 / 23		dB
I/C 选择性, +/- 3MHz				47 / 32		dB
I/C 选择性, +/- 4MHz				50 / 37		dB
I/C 选择性, +/- 16MHz				54 / 53		dB
I/C 选择性, +/- (5..10)MHz				45		dB
I/C 选择性, +/- (11..20)MHz				55		dB
I/C 选择性, +/- (21+)MHz				56		dB
I/C 选择性, image frequency				23		dB
I/C 选择性, 临频 (1MHz) 到镜像频率				32		dB
I/C 同频干扰			500kbps	期望信号为-72dBm, 调制干扰源在通道内, 误码率 BER=1e-3		-2.5
I/C 选择性, +/- 1MHz		9 / 7				dB
I/C 选择性, +/- 2MHz		47 / 32				dB
I/C 选择性, +/- 3MHz		51 / 39				dB
I/C 选择性, +/- 4MHz		54 / 43				dB
I/C 选择性, +/- 16MHz		49 / 44				dB
I/C 选择性, +/- (5..10)MHz		61 / 60				dB
I/C 选择性, +/- (11..20)MHz		48				dB
I/C 选择性, +/- (21+)MHz		52				dB
I/C 选择性, image frequency		55				dB
I/C 选择性, 临频 (1MHz) 到镜像频率		32				dB
I/C 同频干扰		39				dB



I/C 同频干扰				-1.5		dB	
I/C 选择性, +/- 1MHz				12.5 / 10.5		dB	
I/C 选择性, +/- 2MHz				51 / 33		dB	
I/C 选择性, +/- 3MHz				54 / 39		dB	
I/C 选择性, +/- 4MHz				57 / 46		dB	
I/C 选择性, +/- 16MHz				49 / 45		dB	
I/C 选择性, +/- (5..10)MHz	125kbps	期望信号为-79dBm, 调制干扰源在通道内, 误码率 BER=1e-3		63 / 62		dB	
I/C 选择性, +/- (11..20)MHz				52		dB	
I/C 选择性, +/- (21+)MHz				55		dB	
I/C 选择性, image frequency				68		dB	
I/C 选择性, 临频 (1MHz) 到镜像频率				39		dB	
I/C 同频干扰				46		dB	
互调失真	2Mbps		期望信号设定在 2402MHz, -64dBm. 两个干扰源分别设定在 2408MHz (N+3) 和 2414MHz (N+6)		-32		dBm
	1Mbps		期望信号设定在 2402MHz, -64dBm. 两个干扰源分别设定在 2405MHz (N+3) 和 2408MHz (N+6)		-27		dBm
带外阻断	1Mbps		从 30MHz *(1) 到 2000MHz, step = 10MHz		-10		dBm
			从 2003MHz 到 2399MHz, step = 3MHz		-5		dBm
			从 2484MHz 到 2997MHz, step = 3MHz		-10		dBm
		从 3000MHz 到 12.75GHz *(2), step = 25MHz		-8		dBm	



4.12.3 RF 发射机性能指标

除非另有说明，否则，测量条件为：Ta = 25C, VBAT=VDDIO=3.0V, fRF=2440MHz

Table 17 RF 发射机性能特性

参数	条件	测试条件	最小值	典型值	最大值	单位
最大输出功率		取全频段的平均值		3		dBm
最小输出功率				-35		dBm
输出功率在不同频道的平整度		2402MHz - 2480MHz	-0.5		0.5	dB
板与板输出功率值差别		不同芯片之间偏差+ 匹配电路元件偏差	-0.5		0.5	dB
波段内杂散发射	2Mbps, @ Pout,max	N +/- 4MHz		-44		dBm
		N +/- 5MHz		-46		dBm
		N +/- ≥6MHz		-48		dBm
波段内杂散发射	1Mbps, @ Pout,max	N +/- 2MHz		-38		dBm
		N +/- ≥3MHz		-41		dBm
带外杂散发射	@ Pout,max	f<1GHz, 限制频段外		-67		dBm
		f<1GHz, ETSI 限制频段内		-77		dBm
		f<1GHz, FCC 限制频段内		-63		dBm
		f>1GHz, 包括谐波		-44		dBm
		HD2 二阶谐波		-48		dBm
		HD3 三阶谐波		-45		dBm

4.13 系统功耗

电流是在 Ta = 25C、VBAT = VDDIO = 3.0V、CPU 运行在 8MHz、内部 DC-DC 转换器启用的情况下测量的，除非另有说明。

Table 18 系统功耗

参数	条件	测试条件	最小值	典型值	最大值	单位
I_VBAT	Vbat 电源功耗	芯片关闭模式, CHIP_EN=0V				nA
		睡眠模式 32kHz RC, sleep timer (*1)		0.5		uA
		睡眠模式 32.768kHz RTC, sleep timer (*1)		0.8		uA
		睡眠模式 32.768kHz RTC, sleep timer, 16kB SRAM 保留 (*1)		1.0		uA



		睡眠模式 32.768kHz RTC, sleep timer, 32kB SRAM 保留 (*1)		1.2		uA
		睡眠模式 32.768kHz RTC, sleep timer, 32kB SRAM 保留, BOD enabled (*1)		1.2		uA
		CPU 空闲模式. DCDC 供电给 CPU 内核和 SRAM, 32MHz XO 关闭		1046		uA
		工作模式. 32MHz 启动并运行 CoreMark 测试		1672		uA
		2.4GHz 接收模式 - 1Mbps (*3)				mA
		2.4GHz 接收模式 - 1Mbps (*4)				mA
		2.4GHz 接收模式 - 2Mbps				mA
		2.4GHz 发射模式 - 1Mbps, Pout=0dBm				mA
		2.4GHz 发射模式 - 1Mbps, Pout=max				mA
		2.4GHz 发射模式 - 2Mbps, Pout=0dBm				mA
		2.4GHz 发射模式 - 2Mbps, Pout=max				mA
I_VDDIO	VDDIO 电路功耗	芯片关闭模式, CHIP_EN=0V		10		nA

注:

(1*): VDD_AONPD 处于动态模式。

(2*): 数目是根据 C/S 测量结果计算的

(3*): 设置为-97dBm 灵敏度

(4*): 设置为-97.5dBm 灵敏度

4.14 ESD 特性(所有引脚)

- HBM (人体模型)。灵敏度通过+/-4500V, 3A 级(参考 ESDA/JEDEC JS-001-2017)



- CDM (充电设备模式)。待定

5 订购信息

Figure 17 包含有关集成电路标识和订购代码的信息，并提供了所有可用的封装选项供开发人员选择。

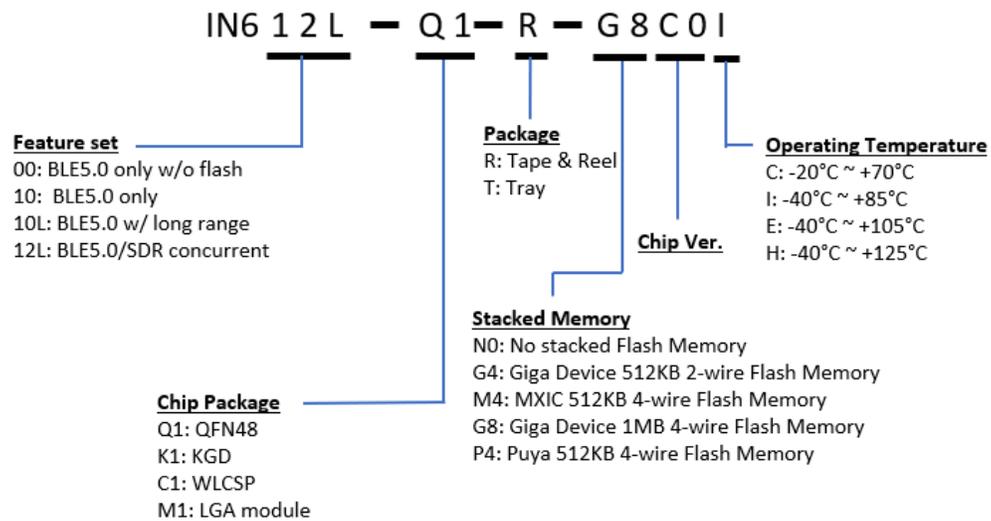


Figure 17 完整订货型号选项信息

6 封装

本芯片将以 QFN48 封装提供。QFN 封装符合 RoHS/绿色环保要求

6.1 封装图-QFN48

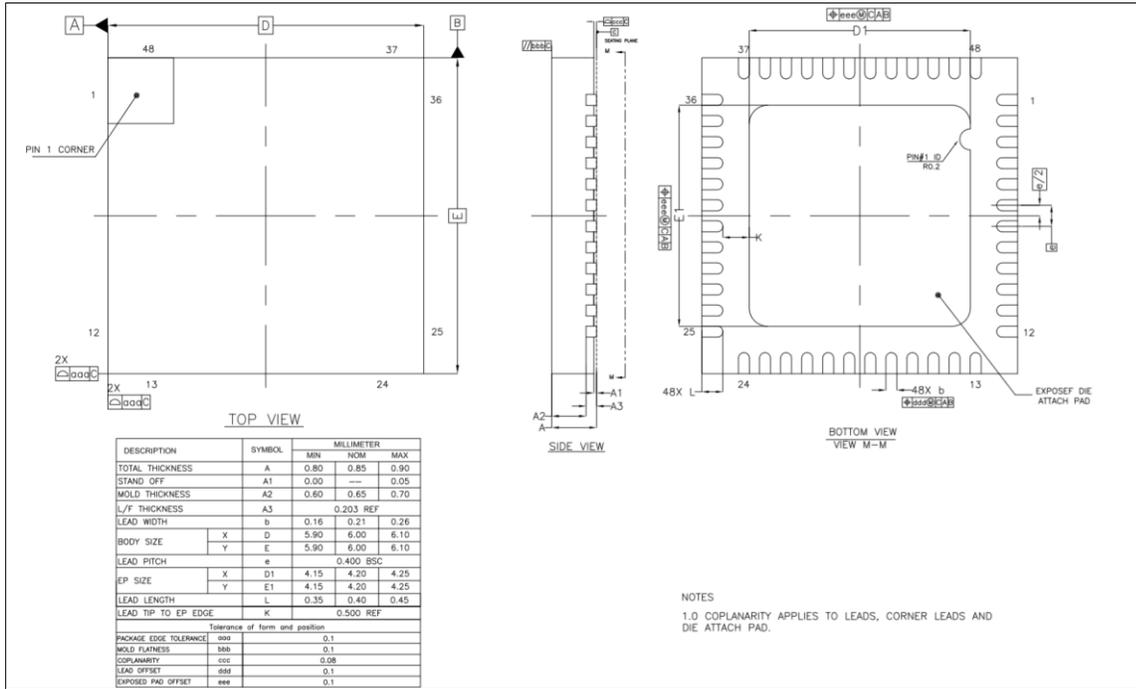


Figure 18 IN612L QFN48 6mmx6mm 封装图

Table 19 IN612L 6x6 QFN48 封装信息

规格描述	参数	单位	容差
Package Size	6.00 x 6.00	mm	±0.10
QFN Pad Count	49		
Total Thickness	0.85	mm	±0.05
QFN Pad Pitch	0.40	mm	
Lead Width	0.21	mm	±0.05
Exposed Pad Size	4.20 x 4.20	mm	±0.05



6.2 IC 标记

IN612L 集成电路的标记如 Figure 19 所示。

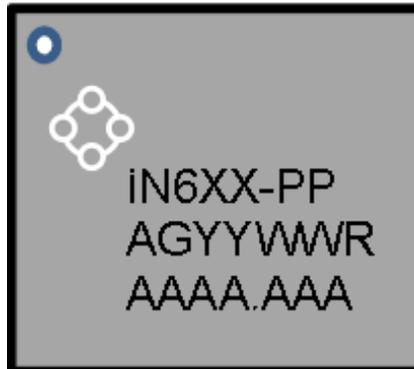


Figure 19 IN612L 封装标识信息

Table 20 IN612L 标识描述

缩写描述	定义
IN6	INPLAY SwiftRadio SoC 家族产品系列
XX-PP	产品型号
AG	工厂和内存代码
YY	生产年份代码
WW	生产周代码
R	版本号
AAAA.AAA	工厂批号代码



6.3 包装盒尺寸

这里定义的 IN612L 包装尺寸为卷轴、内盒和外盒。

Table 21 IN612L 内外包装盒信息

封装	卷带尺寸	卷带芯片数量	内包装盒芯片数量	外包装大盒芯片数量
QFN	13"	4000	4000	40000

7 参考设计

7.1 IN612L QFN48 参考原理图

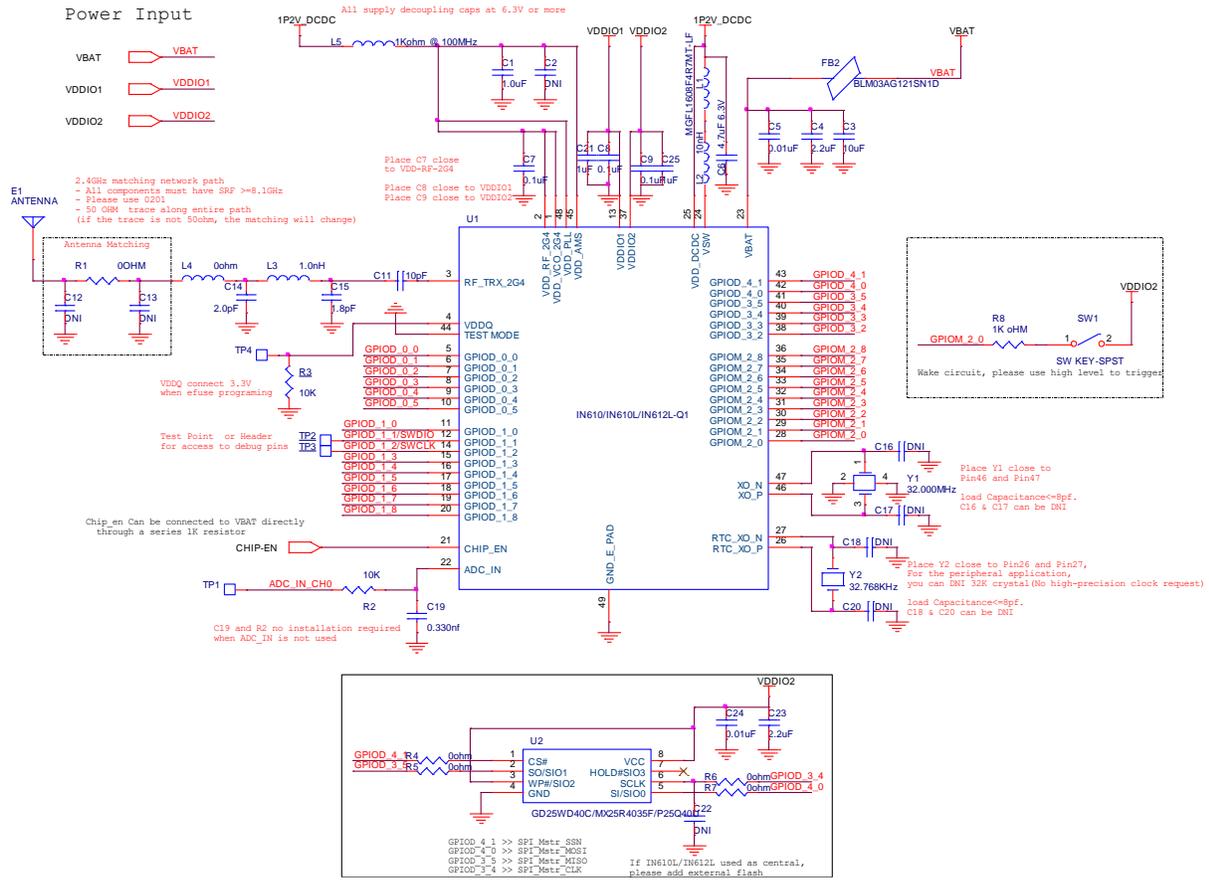


Figure 20 IN612L/IN610L/IN610 QFN48 参考原理图

Table 22 IN612L/IN610L/IN610 参考物料清单

元件号	参数值	规格描述	推荐厂商	型号	元件尺寸规格
C1,C21	1.0uF	CAP CER 1UF 6.3V X5R	Murata	GRM033R60J105MEA2D	C0201
C2,C12,C13,C10,C16,C17,C18,C20	DNI	Do not insert			
C3	10uF	CAP CER 10UF 6.3V JB	TDK	C1608JB0J106M080AB	C0603
C4	2.2uF	CAP CER 2.2UF 6.3V X7S	TDK	C1005X7S0J225K050BC	C0402
C5	0.01uF	CAP CER 10000PF 10V X7R	Murata	GCM033R71A103KA03D	C0201
C6	4.7uF	CAP CER 4.7UF 6.3V X5R	TDK	C1005X5R0J475M050BC	C0402
C7,C8,C9	0.1uF	CAP CER 0.1UF 6.3V X6S	Murata	GRM033C80J104ME15D	C0201
C15	1.8pF	CAP CER 1.8PF 25V COG/NPO	Murata	GRM0335C1H1R8BA01D	C0201



C11	10PF	CAP CER 10PF 50V COG/NP0	Murata	GRM0335C1E100GA01D	C0201
C14	2.0pF	CAP CER 2PF 25V COG/NP0	Murata	GRM0335C1E2R0CA01D	C0201
C19	0.330nf	CAP CER 330PF 25V X7R	TDK	C0603X7R1E331M030BA	C0201
E1		ANTENNA 2.4~2.5GHz 50ohm			
FB1	BLM03AG121SN 1D	FERRITE BEAD 120 OHM 1LN	Murata	BLM03AG121SN1D	L0201
L1	4.7uH	FIXED 4.7UH 470MA 312 MOHM	Microgate	MGFL1608F4R7MT-LF	L0603
L2	10nH	FIXED 10NH 500MA 350 MOHM	Murata	LQG15HN10NJ02D	L0402
L3	1.1nH	FIXED 1.1NH 750MA 100 MOHM	Murata	LQP03TN1N1B02D	L0201
L5	270nH	FIXED 270NH 110MA 4.94 OHM	Murata	LQG15HSR27J02D	L0402
R1,L4	0OHM	RES 0 OHM JUMPER 1/20W	Bourns	CR0201-J/-000GLF	R0201
R2, R3	10K	RES SMD 10K OHM 5% 1/10W	Panasonic	ERJ-2GEJ103X	R0402
TP1,TP2,TP3,TP4		Test Point			
U1	IN612L	InPlay MAC SoC QFN6x6 48pins	InPlay	IN612L	QFN48
Y1	32.000MHz	CRYSTAL 32 MHZ 6PF SMD	NDK	NX1612SA-32.000MHZ-CHP-CIS-3	4-SMD
Y2	32.768KHz	CRYSTAL 32.7680KHZ 7PF SMD	ECS	ECS-.327-7-34B-C-TR	2-SMD

8 布板设计

为确保芯片性能，建议遵循一般的印刷电路板布局指南。

8.1 PCB 设计层 Stack-Up

本文件中的建议是指基于标准阻燃 4 (FR4) 材料的四层 IN6xx 产品系列 QFN PCB，这是一种商业应用中常用的技术。

Table 23 PCB 层 Stack-up

PCB 层 Stack-up					
层	设计目的	材料	厚度	厚度控制	层厚度可调整性
Top layer +Plating	Signal	1/2 oz Cu	1.4	Yes	No
Dielectric		Roger 4003C	8	Yes	No
Internal Layer 1	GND	1/2 oz Cu	0.7	No	Yes



Dielectric		RF4	42	No	Yes
Internal Layer 1	Signal/power	1/2 oz Cu	0.7	No	Yes
Dielectric		RF4	8	No	Yes
Bottom Layer + Plating	Signal/power	1/2 oz Cu	1.4	No	Yes
		Total thickness	62		

8.2 晶体

系统中有一个高速 32MHz 的晶振，时钟迹线的寄生性影响着振荡，晶振应尽量靠近芯片。线路太宽会造成电容过大，而线太窄会造成时钟线的寄生电感。对于短的时钟线，使用约 10mil (0.010 英寸或 0.254 毫米) 的线宽。保持晶振调谐电容靠近晶振垫。避免通过相邻层上的晶振线。保持地平面在晶振线下方，以改善回路路径。

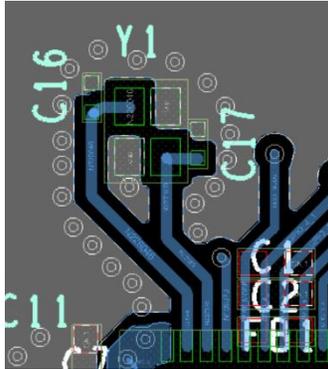


Figure 21 32MHz 晶振

慢时钟信号线必须尽可能短。慢速时钟信号的信号线两侧应各设一个接地平面，以减少不需要的信号耦合。为了减少不需要的信号对时钟线的电容耦合，慢时钟信号线不能与其他信号（特别是数字信号）交叉。

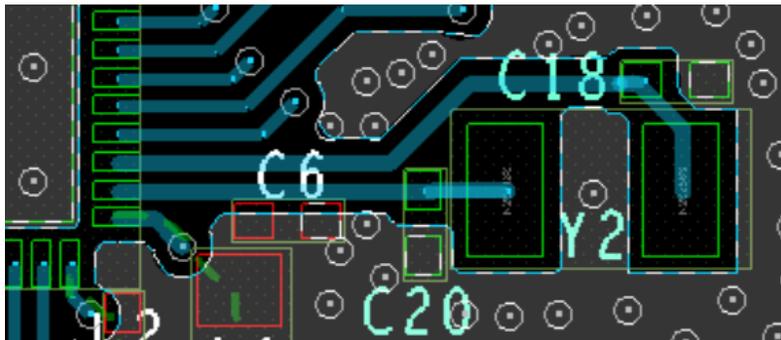


Figure 22 32.768KHz 晶振



8.3 RF 射频布线注意事项

将射频路径放在最上层（元件侧），并尽可能地保持射频轨迹的短。参照固体接地（第 2 层），射频路径的阻抗必须控制在 50 欧姆。此外，为了更好的射频隔离，还需要接地 Vias。

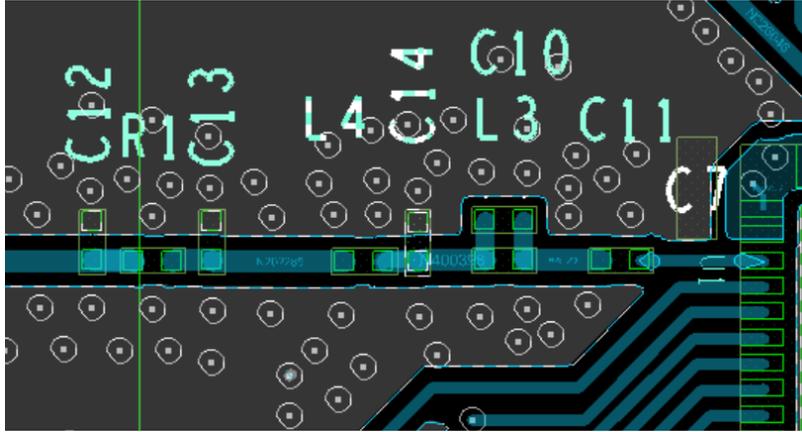


Figure 23 RF 走线

8.4 射频天线

天线是无线系统设计中的关键部件，要确保芯片的性能达到预期的效果。一定要选择覆盖 2.350GHz 到 2.550GHz 的适当频段的天线。与天线供应商沟通，确保他了解天线必须覆盖整个频率范围。同时，要确保天线是为 50Ω 阻抗系统设计的。确保连接天线的 PCB 焊盘的设计正确，使其具有 50Ω 阻抗。天线供应商必须指定焊盘的尺寸、焊盘到地面基准面的间距，以及焊盘边缘到地面填充物的间距与焊盘在同一层的焊盘上。此外，由于 IN600 系列的天线焊盘到 50Ω 轨迹的接地基准面可能与天线焊盘的接地基准面不同，因此要确保焊盘设计中的焊盘与 50Ω 轨迹之间有适当的过渡。确保天线匹配元件尽可能地靠近天线焊盘。一定要向天线专家咨询天线匹配问题，以确保最佳的射频性能。

8.5 PMU LDO 输出

为了避免过载，应采用较短的线路长度。1.2V 输出需要经过 4.7uF 电容滤波，然后接在 DCDC 和 RF 电源引脚上，大的电感应使用低 DRC 绕组电感。

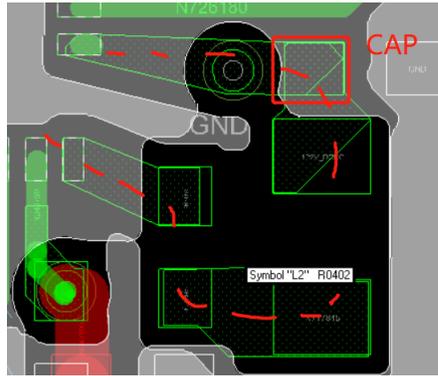


Figure 24 IP2V-DCDC 输出

注意，PMU 是一个开关稳压器，在 2.4GHz 接收频段会产生噪声。因此，射频路由、组件和天线必须尽可能远离 PMU 及其组件 (L1、L2 和 C6)。

8.6 VBAT 电源供电

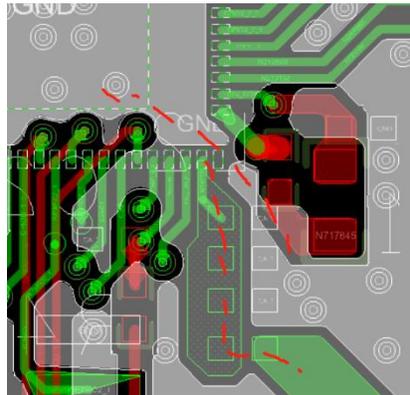


Figure 25 VBAT 走线

VBAT 电源与 LDO 的 1.2V 输出相同。这是 PMU 的电源，PMU 的噪声回馈到电源引脚。FB2 的作用是抑制噪声，防止噪声从电源路径辐射出来。因此，射频路径也应远离 VBAT 供电电路和 FB2、C3、C3、C4、C16 的射频路径。

VBAT 引脚上的滤波电容需要尽量靠近，电容的接地焊盘需要靠近芯片的地，这对内部 RC 时钟来说是非常重要的。

8.7 Power supply

以下电源的布线要求应适用于 IN600 产品系列芯片。

- 电源供应器轨道长度较短
- 去耦电容尽量靠近芯片的位置



- C7 接近 VDD_RF_2G4
- C9 接近 VDDIO2
- C8 接近 VDDIO1
- C1 和 C2 接近 VDD_AMS

最常见的接地环路问题是，由于将直流旁路电容对地放置，使接地环路电流有较长的回流路径，这时就会出现接地环路问题。

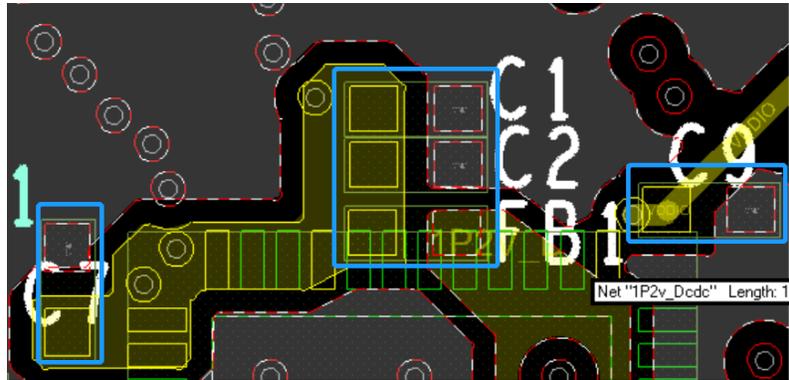


Figure 26 RF 电源线布局



Figure 27 1P2V 电源布局

8.8 Thermal Pad VIAs

为了增加对地耦合，直接在 SoC 的热垫上加至少 9 个 Vias 到实心地，如 Figure 28 所示。

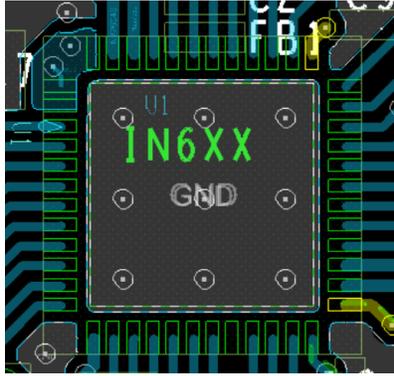


Figure 28 散热过孔

8.9 接地设计

使用专用的一层为地面平面。确保这层地平面不被路由分解。除地线层外，所有层的电源路径都可以用地线。电源路径应该是重铜填充的平面，以确保电感量最小。

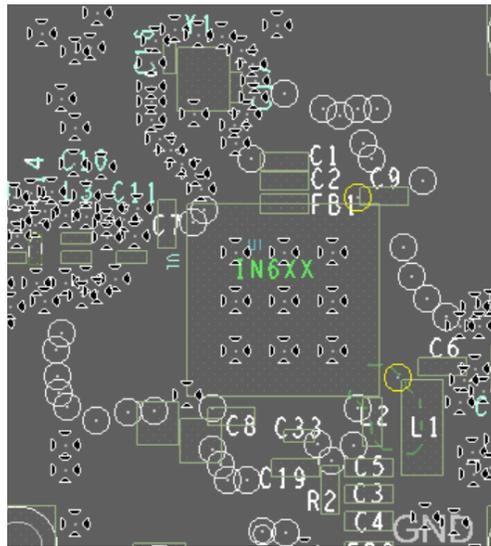


Figure 29 地层设计举例

9 回流焊工艺



本节提供了让 InPlay 芯片焊接到用户设计的回流焊工艺指南。

9.1 存储条件

9.1.1 开封前的防潮袋

防潮袋必须储存在温度低于 30°C、湿度低于 85%RH 的环境中。干包装产品的计算保质期应为自袋口密封之日起 12 个月。

9.1.2 防潮袋的开启方式

湿度指示卡必须是蓝色的， < 30%.

9.2 钢网设计

推荐使用激光切割的不锈钢型钢网，厚度为 100 μ m ~ 130 μ m，钢网开口与焊盘尺寸约为 1:1 的比例。为了提高钢浆的脱模率，可采用底部开口比顶部大 25 μ m 的正锥度。根据当地的生产经验，可以找到其他的钢网厚度和开孔尺寸的组合，以获得良好的效果。

9.3 烘烤条件

本模块的等级为 MSL 3 级。密封袋打开后，只要在 $\leq 30^{\circ}\text{C}/60\%$ 相对湿度下保存或在 $< 10\%$ 相对湿度下保存，168 小时内无需烘烤。

在下列情况下，模块在安装前需要进行烘烤。

密封袋已打开 > 168 小时。

湿度指示卡读数 > 10%。

SIP 需要在 125 $^{\circ}\text{C}$ 下烘烤 8 小时。

9.4 焊接和回流焊条件

9.4.1 回流炉



强烈建议使用装有更多加热区和氮气气氛的回流炉进行无铅装配。事实证明，氮气气氛可以改善湿润性，降低整个电路板的温度梯度。它还可以通过减少氧化的影响，提高焊点的外观。

在回流焊过程中还应注意以下事项。

1. 一些推荐的焊膏包括 NC-SMQ® 230 助焊剂和由 95.5 Sn/3.8Ag/0.7 Cu 组成的 Indalloy® 241 焊膏或 SENJU N705-GRN3360-K2-V Type 3，不含清洁焊膏。
2. 允许的回流焊次数。根据以下回流焊曲线进行三次回流焊（如 Figure 30 所示）。
3. 温度曲线。回流焊应按以下温度曲线（如 Figure 30 所示）进行回流焊。
4. 峰值温度：250°C。

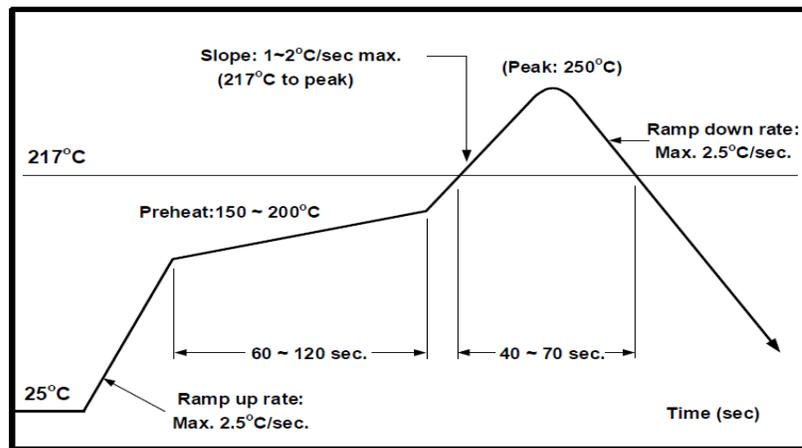


Figure 30 回流焊要求

10 修订历史

版本号	描述	更新日期	责任人
V0.9	初版	04/02/2020	J. Wu
V0.91	封装图更新	04/05/2020	E. Xu
V0.92	翻译更新	04/16/2020	J. Wu
V1.04	PIN Mux 更新	05/30/2020	J. Tang
V1.05	原理图更新	06/07/2020	E. Xu
V1.06	翻译更新	03/16/2021	O. Lei



11 免责声明

InPlay 已尽力确保本文件中提供的信息的准确性和可靠性。但是，本文件中的信息是按 "原样" 提供的，不作任何保证。本文件的内容如有变更，恕不另行通知。InPlay 不对本文件中所提供的信息的准确性、内容、完整性、合法性或可靠性承担任何责任。对于因您使用（或无法使用）本文件，或因您使用（或未能使用）本文件中的信息而造成的任何性质的损失或损害（直接的、间接的、间接的、相应的或其他的），我们不承担任何责任。InPlay 及其公司标志是上海橙群微电子有限公司的注册商标，其注册地址为上海市浦东新区南汇新城镇环湖西二路 888 号 A 楼 733